

次世代高耐圧(1200V)BCDプロセスの開発

Next Generation High Voltage BCD Process (1200V)

藤田 直人*
Naoto Fujita

青木 宏憲*
Hironori Aoki

概要 当社初となる1200V高耐圧BCDプロセスであるSG7UHVプロセスを開発した。当社では現在900Vまでの高耐圧BCDプロセスをリリースしており、最新のプロセスはデザインルール0.25 μ mの900V第7世代BCDプロセス(SG7HVプロセス)となっている。今回開発したプロセスは現有のSG7HVプロセスをベースに回路、設計資産を共通化すべく、高耐圧デバイス以外の素子特性に影響を与えずに最小限の変更によって1200V化を実現した。

本稿ではベースとなったSG7HVプロセスを紹介するとともに、高耐圧デバイスの1200V化の手法について報告する。

1. まえがき

IGBT (Insulated Gate Bipolar Transistor)、PMOS (Power MOSFET) などパワーデバイスを用いたインバータは産業、家電の両分野で消費電力の削減や地球環境問題に対応するため普及が進んでいる。さらに小型化、高機能化の要求に対応すべくIPM (Intelligent Power Module) の活用が欠かせなくなっている。IPMは三相モータ駆動に必要なパワーデバイスだけでなく、ゲートドライブ回路や各種保護回路を持った高耐圧IC (High Voltage IC, HVIC) 等周辺回路を内部に取り込んでインテリジェント化したパワーモジュールである。

HVICはインバータ機器の性能を決めるキーデバイスであり、当社では高耐圧BCD (Bipolar CMOS DMOS) プロセス技術を用いて900VまでのHVICを製品化している。しかしAC400V級のモータの場合、パワーデバイスやHVICに要求される耐圧はサージ電圧を考慮して1200V以上となり、それらアプリケーションはカバーできていなかった。

そこで今回当社最新の高耐圧BCDプロセスである第7世代高耐圧BCDプロセス(SG7HV)をベースに1200V耐圧のBCDプロセス(SG7UHV)を開発したのでここに概要を報告する。

2. 1200V BCDプロセスの開発

HVICはフォトカプラやパルストランスなどの素子を用いてハイサイドのゲートドライバを絶縁する方式と違って半導体チップ内部で高耐圧のNchMOSを用いたレベルシフト回路によってゲートドライバを絶縁している。1200VのHVICにはハイサイド回路を内蔵する高耐圧島(高耐圧Diode)と、グランド基準の駆動信号をハイサイド回路に伝達するレベルシフトアップ用の高耐圧NchMOS、およびハイサイドで発生したエラー信号をローサイドに伝達するレベルシフトダウン用の高耐圧PchMOSの1200V化が必要となる。

2.1 開発のコンセプト

当社が有する高耐圧BCDプロセスとして最新のものは0.25 μ mデザインルールの第7世代高耐圧BCDプロセス(プロセス名:SG7HV)である。なおBCDプロセスとは同一チップ上にBipolar素子とCMOS、DMOS素子の異なるテクノロジーデバイスを混載可能な半導体製造プロセスのことであり、当社では低耐圧から高耐圧までのBCDプロセス技術において、長年技術を培ってきた。

今回の1200V BCDプロセスの開発においては、開発期間の短縮および設計資産、回路資産の共通化を図り、現有のSG7HVプロセスをベースに最小限の変更によって当社初の1200V化を実現することとした。そして、プロセス名はSG7UHVプロセスと名付けた。

*デバイス事業本部 技術本部 プロセス技術統括部
ICデバイス開発部 ICプロセス課

2.2 プロセス開発

2.2.1 SG7HV プロセスの概要

ベースとしたSG7HVプロセスは、最小デザインルール0.25 μ mルールを採用しており、Logic回路部の高集積化を実現している。ゲート酸化膜は2種類の膜厚を用いるデュアルゲート構成となっており、5Vから30VまでのCMOSが搭載可能である。特にハイサイドゲートドライブ用の30V CMOSは電源電圧15Vに対し十分な耐圧マージンを持っており高信頼性を実現している。またゲート駆動電圧が高いSiC MOSFETなどの次世代デバイスのドライブにも対応可能である。

2.2.2 SG7UHV プロセスの概要

プロセス概要および主要搭載デバイスを表1に示す。

表1 SG7HV, UHVプロセス, デバイス概要
SG7HV and UHV process, device outline

要素項目	SG7HV	SG7UHV
CMOS	低圧：5V, 7V	
	高圧：20V, 30V	
BJT	低圧：7V	
	高圧：40V	
高圧 Nch MOS	150V, 600V, 900V	1200V
高圧 Pch MOS	150V, 600V	1200V
BJT	7V, 40V	
Diode	各種	
抵抗	各種	
Capacitor	各種	
配線構造	2層配線	3層配線
埋め込み拡散層	P型, N+型, N型	P型, N+型, N型(変更)
デザインルール	0.25 μ m	
ゲート酸化膜	Dual Gate	

SG7HVプロセスではP型シリコン基板にN型埋め込み拡散層を有した構造となっており、1200V化でのSG7HVプロセスに対する変更点は以下となる。

- a) P型シリコン基板の高抵抗化
- b) N型埋め込み拡散層を深く
- c) 3層メタル配線の採用

1200V化において、従来当社高耐圧BCDプロセスで使用してきたP型シリコン基板よりさらに高抵抗のシリコン基板を採用しN型埋め込み拡散層をより深く形成している。これらのプロセス変更と、デバイス構造の最適化により高耐圧NchMOSおよび高耐圧PchMOSのオフ耐圧、オン耐圧ともに1200V以上を確保できた。

SG7HVプロセスでは2層メタル配線を採用していたが、高耐圧デバイス上を通る高電圧配線によるデバイス特性、信頼性への影響を考慮し、3層メタル配線を採用した。これにより高電圧配線下とデバイス表面との距離を確保している。

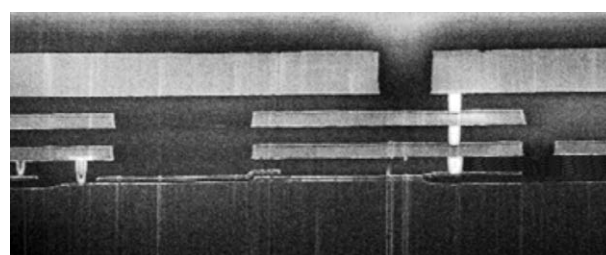


写真1 SG7UHVプロセス素子断面写真
Cross-sectional view of a SG7UHV process device

写真1に本プロセスで製造したチップの断面写真を示す。CMPプロセスおよび高アスペクト比タングステンプラグ埋め込みプロセスにより、厚い層間絶縁膜においても平坦化ができており、5V CMOS ロジック回路と高耐圧デバイスの混載が可能となっている。

SG7UHVプロセスで搭載可能な素子は高耐圧デバイス以外SG7HVプロセスと同一スペックとなっており、共通の設計環境での回路設計が可能である。

3. 1200Vデバイス開発

レベルシフト用高耐圧素子として、1200V耐圧の高耐圧Nch MOS, 高耐圧Pch MOSを開発した。これらの素子構造および特性について紹介する。

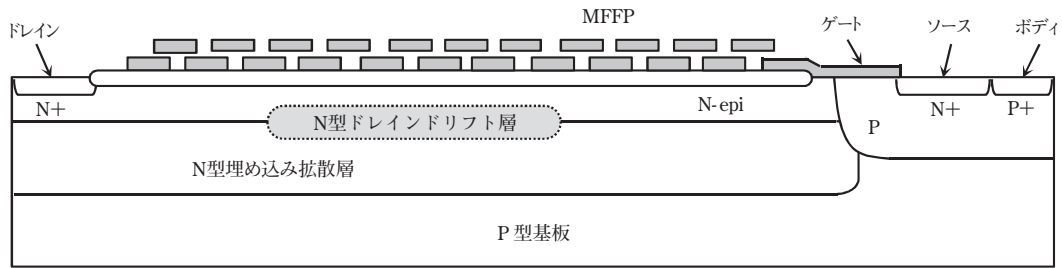
3.1 高耐圧 Nch MOS

図1(a)に高耐圧Nch MOSの断面構造図を示す。

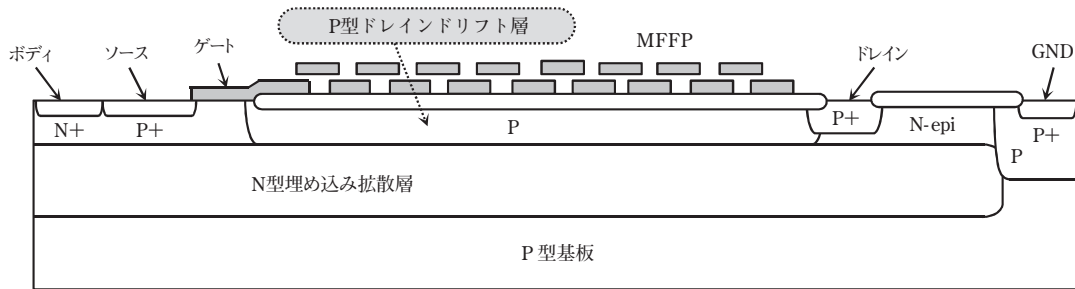
本構造は、ベースプロセスSG7HVの900V耐圧Nch MOSと同一の基本構造を用いた。

高耐圧構造には、ドレインドリフト層にあたるN型リサーフ領域にN型埋め込み拡散層を有する独自のリサーフ構造を採用している。

そして今回、このリサーフ構造に対して、



(a) 高耐圧 Nch MOS



(b) 高耐圧 Pch MOS

図1 高耐圧MOSFETの断面構造図
Cross-sectional structures of HV-Nch-MOS (a), HV-Pch-MOS (b)

- ① P型基板の高抵抗化
- ② ドレインドリフト長の拡張
- ③ N型埋め込み拡散層の濃度・深さの最適化

を行うことで、1200V高耐圧化を実現した。また、これらの変更は高耐圧素子のみに関わる拡散層およびパターンレイアウトに限られ、その他素子に影響を及ぼすことなく行われた。

さらに、リサーフ表面電位の安定化に寄与するフィールドプレート構造には、リーク電流の発生を伴わないMFFP (Multiple Floating Field Plate) を採用した。これにより、製品の誤動作につながるオフ状態でのリーク電流の抑制を可能にしている。

図2にオフ状態での V - I 特性を示す。約1590Vの高耐圧と、1nA以下の低リーク電流を実現している。図3に動作波形を示す。1200V以上の安定動作を確認した。

3.2 高耐圧 Pch MOS

図1 (b)に高耐圧 Pch MOSの断面構造図を示す。

高耐圧 Pch MOSは、高耐圧 Nch MOSのN型リサーフ領域の表面にP型のドレインドリフト層を形成した構造となっている。したがって、高耐圧構造は変わらないため、高耐圧 Nch MOSで1200V耐圧化されたリサーフ技術を適用し、さらにP型ドレインドリフト層とN型埋め込み拡散層の濃度バランスを最適化することで、1200V高耐圧 Pch MOSの搭載も可能とした。

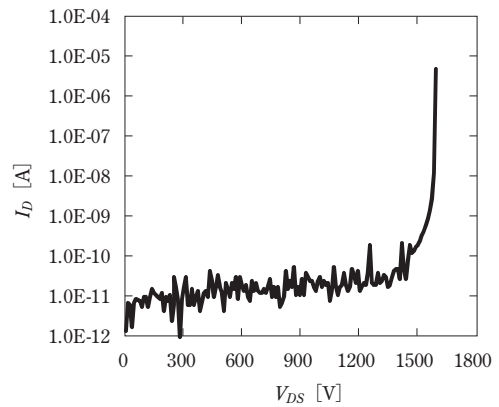


図2 高耐圧 Nch MOS のオフ耐圧波形
Off-state leakage of HV-Nch-MOS

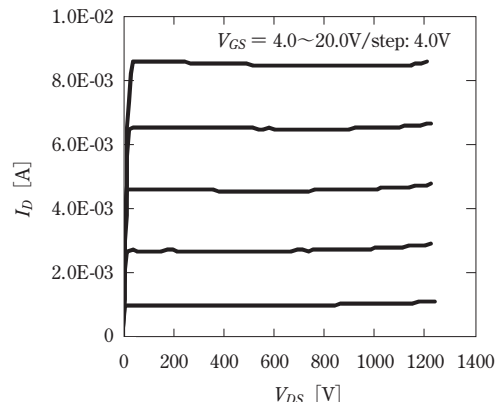


図3 高耐圧 Nch MOS の V_{DS} - I_D カーブ
 I_D - V_{DS} characteristic of HV-Nch-MOS

図4にオフ状態での V - I 特性, 図5に動作波形を示す。
約1500Vの高耐圧と, 1200V以上の安定動作を実現した。

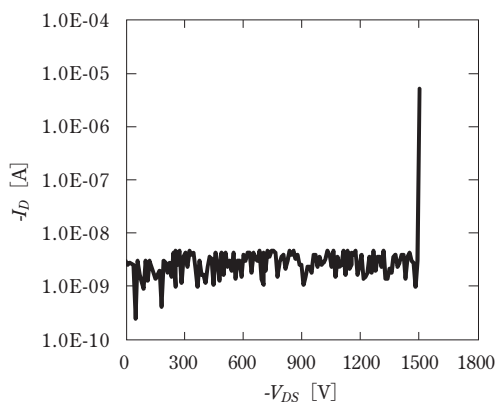


図4 高耐圧Pch MOSのオフ耐圧波形
Off-state leakage of HV-Pch-MOS

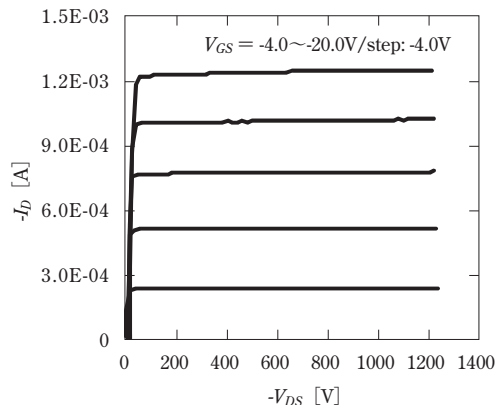


図5 高耐圧Pch MOSの V_{DS} - I_D カーブ
 I_D - V_{DS} characteristic of HV-Pch-MOS

4. 製品化

図6は, ベースプロセスであるSG7HVプロセスを用いた600V耐圧のIPM用モータドライバ ICの外観である。現在, この600V耐圧を1200V耐圧化した製品開発を進めているところである。

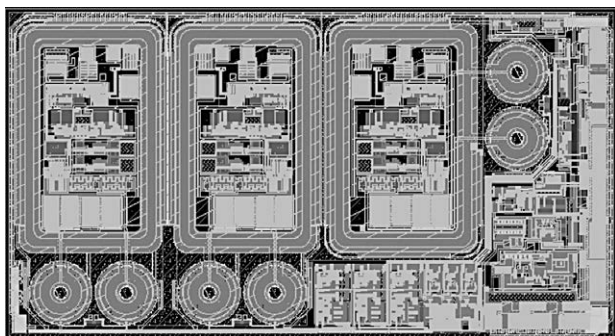


図6 モータドライバ IC (SG7HV)
Motor Driver IC (SG7HV)

5. むすび

1200V耐圧を保証する高耐圧NchおよびPch MOSを搭載可能とした当社初の1200V BCDプロセスを開発した。現有の最新プロセスをベースとしたことで, 1200Vの高耐圧とデザインルール0.25 μ mの微細化を両立し, かつ, 既存プロセスとの設計資産・回路資産の共通化を実現したプロセスとなった。今後, 本プロセスを用い, 1200Vクラスのインバータモジュールの制御用HVICなど, 市場の高耐圧の要求に応えた製品展開を行っていく。

参考文献

- (1) 高橋, 相沢: サンケン技報, vol.41, p.23-26, (2009.11)
- (2) 金子, 青木, 岩淵: サンケン技報, vol.33, no.1, p.14-21, (2001.12)
- (3) 金子, 青木, 岩淵: サンケン技報, vol.32, no.1, p.13-24, (2000.12)