

個片チップ大電流メジャーを適用したKGD製品の開発

Development of KGD Products Suited to Large Current Measurement of Individual Chips

坂口 隆俊*
Takatoshi Sakaguchi

概要 自動車市場における電動化への著しい変遷により、電子部品の需要増加とあらゆる電力帯への展開が求められている。パワー半導体をコアビジネスに掲げる当社では、特に顧客固有の大型パッケージ、機電一体型モジュールへの取り込みを狙い、シリコンチップ状態（ベアチップ）で品質を担保するKGD（Known Good Die）製品を開発したので、その工程および新技術の確立について結果を報告する。

1. まえがき

近年、自動車市場においてハイブリッド自動車（HEV）、電気自動車（EV）の需要の高まりに加え、自動運転化技術の発展から、搭載部品の電動化が急激に加速している。

また、車載カテゴリでは機能安全の観点から複数の回路系統の構成を持つ「冗長性」が必要事項に取り上げられ、車両に搭載される電子部品の員数は増加の一途である⁽¹⁾。

それらの部品を構成するために必要な半導体デバイスは大電流化・高出力化が求められている。

これまで当社の半導体製品は樹脂封止による組立（パッケージング）を施した商品として製品販売展開を行ってきたが、顧客固有の大型パッケージ、機電一体型モジュールの開発需要からパワー半導体デバイスをシリコンチップ状態（以下、ベアチップ）で提供を求めるメーカーが増加しており、ベアチップで品質を担保（KGD：Known Good Die）するパワー半導体デバイスの需要に応えるべく、パワーMOSFETを皮切りに開発する。

本稿では、電動パワーステアリング（EPS：Electric Power Steering）用途のパワーMOSFETをKGD適用製品として開発したので、その結果を報告する。

2. 開発概要

EPSはハーフブリッジ三相とモータリレーによって構成され、これらのPWM（Pulse Width Modulation）制御に必要な半導体スイッチにパワーMOSFETを使用する。EPSシステムの回路構成を図1に示す。

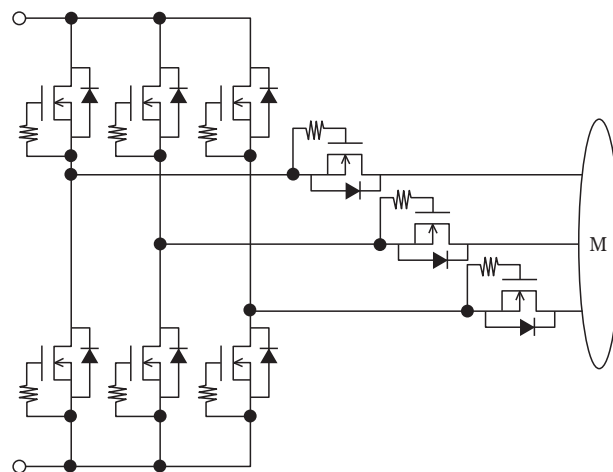


図1 EPSシステムドライバ回路図
Driver circuit diagram of EPS system

ハイサイド、ローサイド、電源リレーそれぞれ3ヶずつのMOSFETの組み合わせ（計9ヶ）で1つのEPSシステムが成立する。また、冗長性対応の車種については2系統接続され、片方のシステムに異常が発生した際に、もう一方のシステムにより動作を補償する。

標準使用条件はバッテリー電圧の12Vであり、ロードダ

*デバイス事業本部 技術本部 DIS事業部 開発1課

ンプサージを考慮した順方向特性保証として耐圧40VのMOSFETチップ「USCPシリーズ」を開発した。その絶対最大定格を表1に示す。

表1 USCP MOSFET 電気的特性
Absolute maximum ratings of USCP MOSFET

Symbol	Unit	Rating
VDSS	V	40
VGSS	V	±20
ID	A	120, 160
TJ	°C	175

現在ID定格120A, 160Aの2品種を開発展開しているが、今後200A, 250Aと負荷に応じた電流帯別のシリーズ拡充を狙う。これらのID定格に対応した電気的特性検査をベアチップ状態で行うべく、KGD技術の構築を行った。

3. KGDの製造工程フロー

KGDの製造工程フローは、ウェーハ製造からウェーハダイスまでは従来の半導体製品と同様の工程であるが、ウェーハダイス後の処置に変化がある。個片化されたチップをトレイへソーティング（整列）し、個々のチップをKGD専用の装置によって搬入し電気特性検査および外観検査を行う。その後、専用袋に収納され製品出荷となる。図2に工程フローチャートを示す。

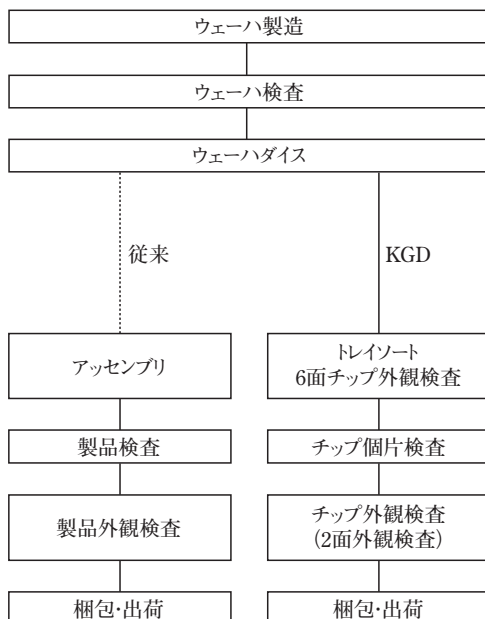


図2 KGDと従来品の工程フローの違い

Difference in process flow between KGD and conventional products

4. KGD技術の導入

4.1 KGD検査装置の導入

ダイス済ウェーハをトレイへソーティングし、KGD特性検査から外観検査までを一環で実施できるKGD専用装置を導入した。その装置写真を図3に示す。

(装置仕様：DC 128V/400A, AC 60V/60A)



図3 KGD検査装置
KGD inspection equipment

4.2 トレーサビリティ機能の付加

図4に示すように、トレイにバーコードを貼付することで、KGD検査装置のバーコードリーダによって読み取ることが可能となりトレーサビリティを取る。これにより後方に控えている各検査工程の結果とチップ配置が照合され、データを追跡することができる。工程トラブルや出荷されたチップに異常が発生した際に、履歴から推定される問題点の抽出に有用である。

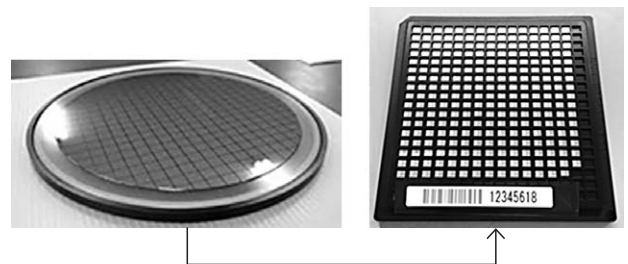
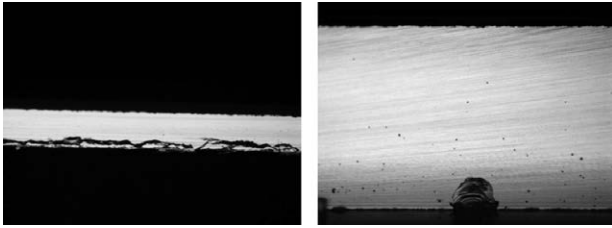


図4 ダイス済ウェーハのトレイソーティング
Tray sorting of diced wafers

4.3 6面外観検査

装置にセットされたダイス済ウェーハは、トレイへのソーティングの際に6面外観検査を行う。これはチップ全面（表裏面および4側面）の状態を観察し、異常有無の抽出を可能とするものであり、傷、クラック、剥がれについての検出精度は数十μmオーダーである。抽出できる

チップ異常の一例を図5に示す。



線状クラック 貝殻状の傷

図5 チップ画像検査による異常の検出
Detection of abnormality by chip image inspection

4.4 コンタクトプローブ設計

大電流メジャーの技術の中で重要なファクターとなるのがコンタクタの電流耐量であるが、図6に示すように200 μ mピッチで敷き詰められた多数のコンタクトプローブによって大電流通電を可能とする。電流仕様、チップ電極の座標によって個々のコンタクトプローブを準備することで各種ラインアップのチップ検査が可能となる。

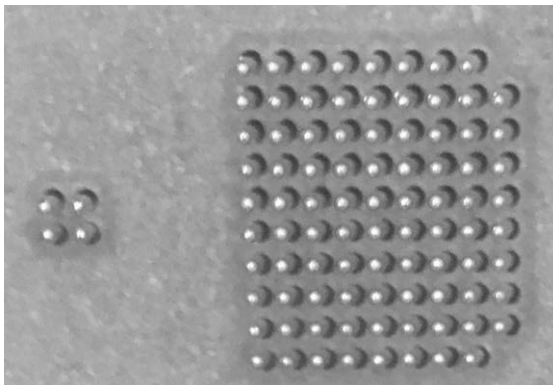


図6 コンタクトプローブの形状
Contact probe shape

4.5 特性検査(温度特性, AC, DC)

電気的特性の検査は、高温特性を安定した温度で測定するために、検査用ステージ、コンタクトプローブを同時に加熱する。これにより、プローブからの放熱を避けることができる。

また、DC特性の精度の面でこれまでベアチップでは困難とされてきたRDS(ON)特性について、チップ直下にセンシング用のピンを接触させることで接触抵抗、配線抵抗が抑制され高精度で検出が可能となった。これは、ウェーハ状態のような広範囲のステージ上での測定条件では、各個別のチップに対し最短距離で接触させることができないが、チップ単体を特定の座標に設置し測定する方法によって実現した。

AC特性の面では、アバランシェブレイクダウン通電

試験を行い、抽出された波形から異常有無の検知を行うことができた。図7に示す波形が、実際にベアチップ状態で観測されたアバランシェブレイクダウン通電試験波形である。スイッチング動作時の各電流、電圧、時間の要素をモニタリングし、判定を行う。

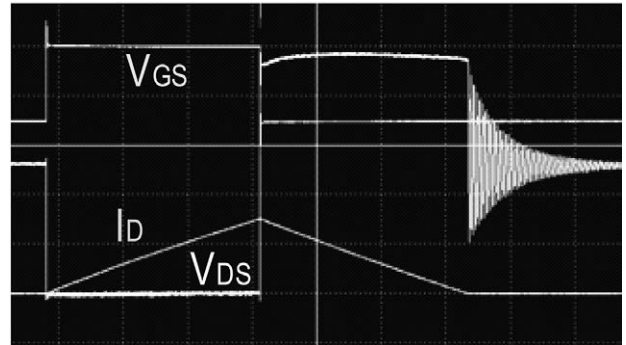


図7 ベアチップ アバランシェ試験波形
Avalanche test waveform of bare chip

4.6 トレイ梱包, 輸送による品質の担保

外観検査、電気的特性検査により良品判定となったチップは再度トレイに収納され、図8に示すような帯掛けを実施のうえ、出荷となる。

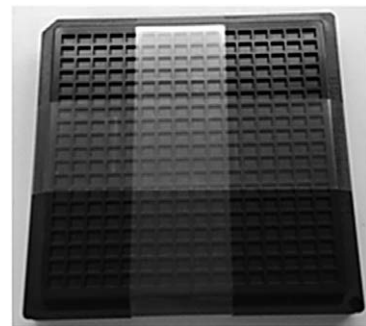


図8 トレイ収納
Tray storage

ただし、製品としてはチップ出荷後、顧客がモジュールへ実装するまでの間も含めて、トレイ内でチップに異常を発生させてはならない。各チップサイズに対し最適なクリアランス設計を行い、トレイポケットサイズを選定する必要がある。推定される異常モードの一例は、MOSFETのシリコン片の脱落、傷の発生、チップの立て掛りである。

これらの設計検証として、実際の出荷ルートにおける輸送実験を実施し、チップ状態の前後比較をしたうえで問題無きことを確認した。

5. むすび

KGD装置の導入により大電流チップメジャー、高精度な特性検査、精密な外観検査を実現した。これは、パッケージ製品と同等の品質を保証できるベアチップ販売の基礎技術が確立されたことを示す。

本件は、顧客固有の大型パッケージ、機電一体型モジュールに適應できる製品ラインアップの皮切りとし、今後は大電流化、高電圧化のニーズに応えるべく、1cm四方サイズを超えるラージチップへの適用を目指していく所存である。

参考文献

- (1) 大藏, 「車載用電子制御ユニットの高性能化と小型化に貢献する新世代LV-MOS」 東芝レビューVol.69 No.8 (2014)