

# デジタル制御による電流モード電流共振型電源の開発

## Development of High Performance Current Mode Resonant Converter by Digital Control

古越隆一\*  
Ryuichi Furukoshi

大竹修\*  
Osamu Ohtake

趙湘熙\*\*  
Sanghee Jo

概要 SDGs (Sustainable Development Goals) は「持続可能な世界」を実現するために、経済と環境のバランスの取れた社会を目指すため国連で採択された目標である。これらに対して、当社ではブリッジレスPFC制御と全波電流共振電源制御を1パッケージで制御可能な、デジタル制御電源IC「MD6752」を開発した。ブリッジレスPFCと全波電流共振方式は、高効率な電源システムである。このシステムに対応した「MD6752」は、制御回路に半導体微細化技術とデジタル制御化を進めた新しいソリューションで、電源の高効率化と部品削減、小型化が可能となる。

### 1. まえがき

国連では、「持続可能な世界」を実現するために、SDGs (Sustainable Development Goals) を経済と環境のバランスの取れた社会を目指すための目標として採択した。

当社はその課題を積極的に解決していくことが求められていると考えている。本稿で報告する技術開発の目的は大きく2点あり、1点目はスイッチング電源の電力損失の削減と小型化であり、これはSDGsの「エネルギーをみんなにそしてクリーンに」と合致しており、2点目はスイッチング電源の制御回路に半導体微細化技術とデジタル制御化を進めることで新しいソリューションを提供することであり、SDGsの「産業と技術革新の基盤をつくろう」という方向性に沿ったものである。本稿では具体的に、デジタル制御技術を用いて新しく開発を行った電流モード制御による全波電流共振(LLC)方式による電源の小型化と、軽負荷効率や協調運転を改良したPFC(力率改善)回路について報告し、これに対応した新製品MD6752の報告をする。これらの技術と当社製品を使うことにより、スイッチング電源の電力損失低減や小型化が達成されることでSDGsを推進できるものとする。

### 2. MD6752の製品概要

MD6752の外観写真1に示す。フロー実装対応のSOP28を採用し、内部はドライバIC(写真2)と論理制御IC(写真3)からなるマルチチップ構成である。

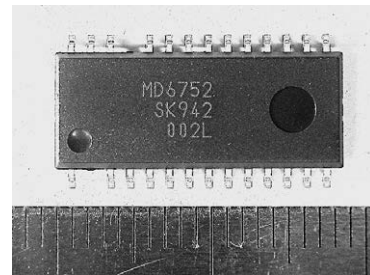


写真1 製品外観

写真2は、パワーMOSFET駆動用の600V対応フローティングゲートドライバと高圧起動回路用900V耐圧FETなどを集積したドライバICである。写真3は、CMOS回路と不揮発性メモリの混載プロセスを採用した論理制御IC(MCU)である<sup>(1)</sup>。

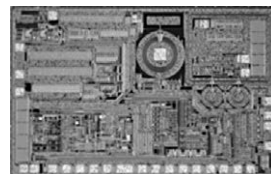


写真2 ドライバIC

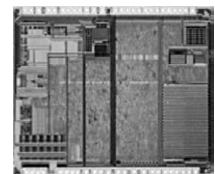


写真3 論理制御IC

\* デバイス事業本部 技術本部 応用技術部  
\*\* サンケンエレクトリックコリア

MD6752の端子機能を表1に示す。

表1 MD6752端子機能

端子番号	端子名	機能
1	ST	起動電流入力, Xコンデンサ放電電流入力
2	—	抜きピン
3	A2	アナログ入力端子
4	PGND	パワーグランド
5	VGP	PFC部ゲートドライブ出力
6	VCC	制御部電源入力, VCC端子過電圧保護機能 (VCC_OVP)
7	BASE	DVCC端子用外付けトランジスタベース電圧出力
8	GND	グランド
9	AVCC	3.3Vアナログ電源端子
10	DVCC	3.3Vデジタル電源端子
11	VREF	PFC部定電圧制御信号入力
12	CS	PFC部過電流保護信号入力
13	VSEN	入力電圧検出信号入力
14	FB	LLC部定電圧制御信号入力
15	CM	電流モード検出信号入力, LLC部過電流保護 (OCP) 検出信号入力
16	VCORE	内部デジタル回路電源用コンデンサ接続
17	GPIO02	汎用入力/出力端子
18	GPIO03	汎用入力/出力端子
19	GPIO01	汎用入力/出力端子
20	VOCM	電流モード制御信号出力
21	GPIO04	汎用入力/出力端子
22	SCID	デバッグ端子 (未使用時はオープン)
23	VGL	LLC部ローサイドゲートドライブ出力
24	NTC	アナログ入力端子 (外部シャットダウン入力端子)
25	—	抜きピン
26	VB	UVLO付きLLC部ハイサイドゲートドライブ電源入力
27	VS	LLC部ハイサイドドライバ・フローティンググランド
28	VGH	LLC部ハイサイドのゲートドライブ出力

ドライバICは、フローティングゲートドライバ以外に、起動回路、3.3Vレギュレタ、アナログ入力のレベルシフター回路などが内蔵されている。

論理ICには、CPUと独立動作可能な16bit DSP (2units)、さらにEPU(16bit CISC CPU)の4コアで、並列動作ができるマルチコアアーキテクチャである。PFC制御とLLC制御をひとつのICで制御させるため、PFC用16bitカウンタPWM出力とLLC用16bitカウンタPWM出力を持っている。ブロックダイアグラムを図1に示す。

11 Pin (VREF), 13 Pin (VSEN), 14 Pin (FB) のA/Dコンバータ入力端子は、PFCの入出力電圧検出とLLCのFBに割り当てられていて、15Pin (CM), 20Pin (VOCM)は、LLCの電流モード制御に使用する。

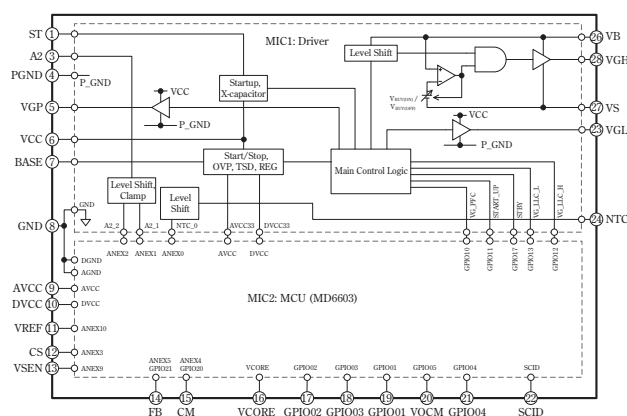


図1 MD6752 ブロックダイアグラム

### 3. 電流モード LLC

今回 LLC (電流共振型コンバータ) に、応答性改善を目的として、電流モード制御を採用した。

一般的によく使われる電圧モード制御は、負荷の変化を出力電圧で検出し制御する。これに対して電流モード制御は、出力電圧に加え、スイッチング電流を検出することで、応答性を改善できる利点がある。

例えば、入力電圧が上昇し、LLC制御動作周波数に変化しない場合、1次側スイッチング電流が増え、2次側には出力電流より多くエネルギーが供給されるため、出力電圧が上昇する。電圧モード制御は、この出力電力変化を検出し制御を行うため応答性が悪い。これに対して電流モード制御は、入力電圧が変化し、それに伴って1次側スイッチング電流が変化し始めた時点から制御を開始するため、応答性が改善される。また出力負荷変動についても、出力電圧が変化すると一次側のスイッチング電流も変化するので、フィードバック信号を受ける前に制御を開始でき、応答性が改善する。つまり位相補償が改善されることから、部品点数の削減によるコストダウンや工数の削減できる利点がある。

また、入力電圧変動に対する安定性も改善することから、PFCの出力平滑用コンデンサの容量を削減してコストダウンが可能となる。一般的にPFCは、応答性を速くすると入力電流波形が歪むため、応答性を遅くし、リップルを抑えるために出力平滑用コンデンサの容量を大きくする必要がある。このことから、容量を少なくすることができる本方式は大きなコストダウンが可能となる。

技術的な課題としては、フライバックコンバータやフォワードコンバータなどは、スイッチング電流の di/dt が一定のため、スイッチング電流のピークなどから容易に電流モード検出が可能であるが、LLCの場合、スイッチング電流の di/dt が常に変化するため、スイッチング

電流を積分回路で電流モード検出することが必要である。

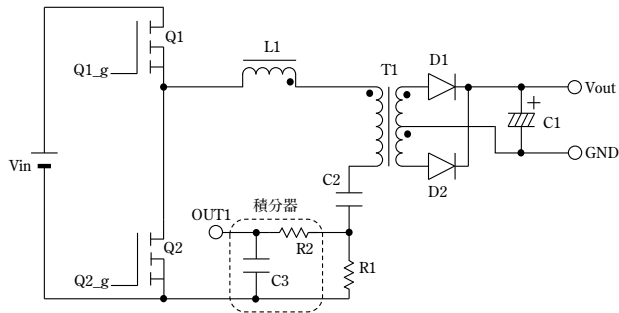


図2 LLC基本回路

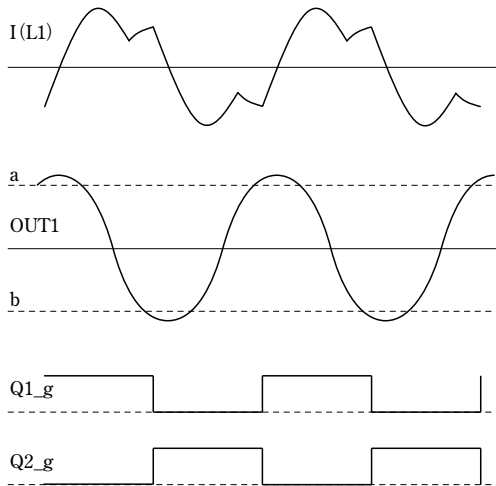


図3 LLCの動作概略図 (Max Load)

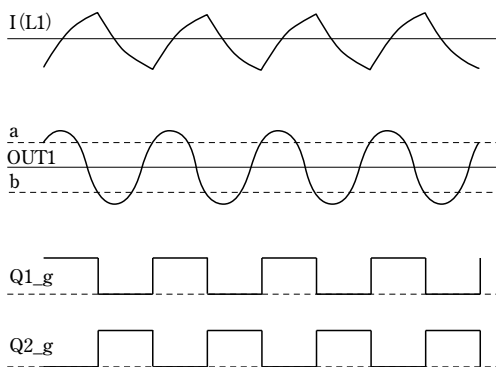


図4 LLCの動作概略図 (Minimum Load)

電流モード制御LLCについて図2～4で説明する。まずLLCのスイッチング電流をR1で検出し、この信号をR2, C3で積分し、結果をOUT1に出力する。次にOUT1の値がしきい値a, bを超えたタイミングで、Q1\_g, Q2\_gのON時間OFF時間を切り替える。ここでしきい値a, bの絶対値を大きくすれば、Q1, Q2のON時間が長くな

り出力電力が増加し、逆にa, bの絶対値を小さくすれば、Q1, Q2のON時間が短くなり出力電力が減少することとなる。このように1次側の電流を検出し、出力電圧の制御を行う。

#### 4.ブリッジレスPFC

PFC部は、入出力電圧を監視することで、常にパワーデバイスの発振周波数とON Dutyを最適に制御するデジタル制御ブリッジレスPFCを採用した。この方式は、高効率でありながら、EMI (伝導ノイズ, 放射ノイズ) が少なくできる特徴を持っている。

今回は、更に従来の間欠機能を変更し、軽負荷時の効率UPを図っている。この機能は、発振期間を見直すことにより、コンバータの伝達効率を上げている。

また、LLCと協調して制御する機能も強化した。この機能は、平滑用コンデンサの小型化に寄与している。

#### 5. 試作電源及び評価結果

##### 5.1 試作電源及び電源仕様

表2に試作電源の仕様を、図5に評価電源回路構成を、写真4に評価電源基板の写真を示す。

表2 試作電源仕様

Converter Topology	Bridgeless CCM PFC and Half-bridge LLC
Control	Full digital control (ADC ⇒ MCU / DSP ⇒ PWM)
Rating AC input	AC90V ~ AC264V
Rating PFC Output	400W
Rating DC/DC Output	400W
Voltage of OUTPUT1	24V
Current of OUTPUT1	0A ~ 17A
Protection	OVP, OCP, OLP

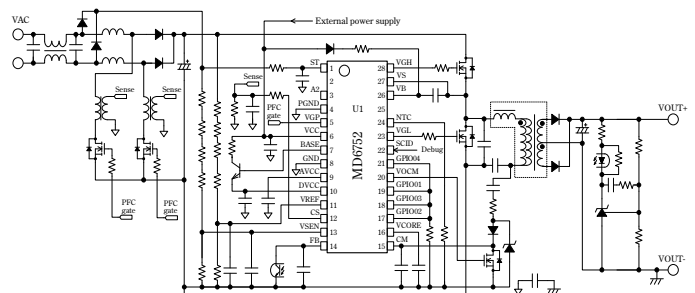


図5 評価電源回路構成

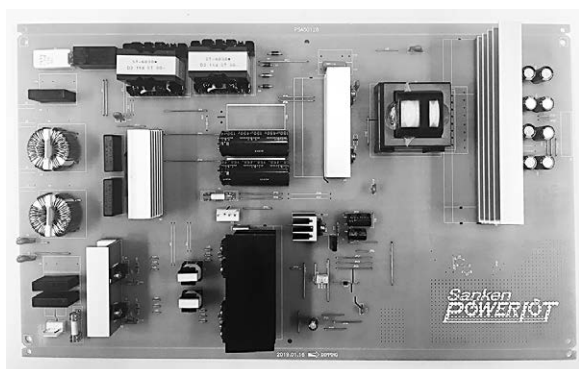


写真4 評価電源基板

試作電源は、ブリッジレスPFC回路の後段にLLC回路を接続する2コンバータ構成となっている。PFC制御とLLC制御は、フルデジタル制御を行っているため、位相補償コンデンサが不要となり部品点数の削減につながっている。また、電流モードLLCの積分回路は、ダイオード、スイッチング周波数に同期してON/OFFするFET素子とコンデンサを組み合わせることにより、ハイサイドMOSFETに流れる電流を積分している。この積分値をもとにハイサイドMOSFETのOFFタイミングを決めている。また、ローサイドMOSFETは、ハイサイドのON時間と同じON時間となる。

これにより、電流モード制御を実現するとともに、マイナス電圧の検出が不要となるので、システムの簡略化と精度向上につながっている。

## 5.2 LLC部

今回、LLCに応答性改善を目的として電流モード制御を採用し、図6に定常時の動作波形を、図7に負荷変動時の動作波形を示す。

図6の波形の中で、V(CM)は、ハイサイドMOSFETに流れる電流の積分値に当たる。このことを踏まえて波形を見ると、ハイサイドMOSFETが積分回路の出力(V(CM))が一定値を超えるとOFFしている事が分かる。また、ローサイドMOSFETは、ハイサイドのON時間と同じ時間ONになっている。制御も安定しており、良好な特性といえる。

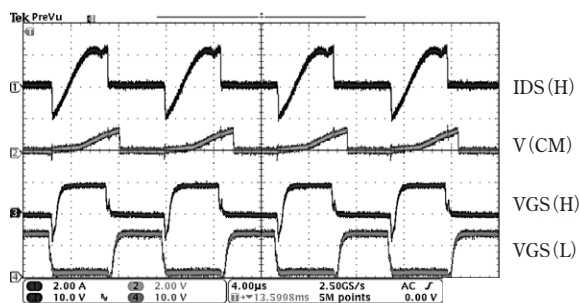


図6 動作波形

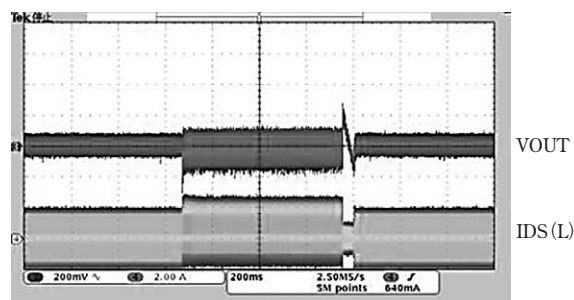


図7 動作波形 (0⇔Full)

## 5.3 ブリッジレスPFC部

PFC部は、負荷変動時も、出力変動少なく安定した制御を行うことができた。従来、平滑用コンデンサの容量を減らすと、出力変動が大きくなり、LLCの不安定動作として現れる。それに対し、図7のように評価電源では、0⇔Fullの負荷変動でも、出力電圧変動が±0.3V以内に入っており、これは追加した機能の効果もあると考えられる。

また、AC200V入力、出力25%時に、現行製品に比べて0.3%程度の効率改善も確認できた。

## 6. むすび

本稿で紹介した、MD6752を使用することで、PFC+DC/DCコンバータの、小型高効率化ができ、安定性などの性能UPも同時に達成することができた。これは、電流モード制御LLCとPFCの機能向上などによるもので、デジタル制御技術と独自の高耐圧BCDプロセスICと制御技術の組合せによって達成できたものである。

今後、我々は常に機能の追加や改良を行い、市場の要求にマッチした製品を逸早く供給することが、SDGsの貢献になると考えている。

## 参考文献

- (1) 大竹, 吉永, 朴, 趙: サンケン技報, Vol.50, p.15-18 (2018.11)