

800V-SiC-MOSFET の開発

Development of 800V-SiC-MOSFET

章 寧*
Ning Wei

馬 場 良 平*
Ryohei Baba

熊 倉 弘 道*
Hiromichi Kumakura

概要 SiC ウェーハの大口径化によってコストが徐々に下がってきている。Si パワーデバイスより高速動作や高温動作が可能である SiC パワーデバイスは、小型電源やインバータなどの部品点数を削減して小型化、軽量化および大電力化に大きく寄与することが期待される。今回、中耐圧領域のスイッチング電源やモータインバータに向けた 800V SiC MOSFET を開発するにあたり、先行開発している 1200V 開発品のコンセプトを踏襲しながらデバイスシミュレーションによって素子設計を検討した。Si デバイスの一つである Super Junction MOSFET と比較し、スイッチング損失に対して優位性を確認したので報告する。

1. まえがき

近年、環境保護のため CO₂ 排出の削減が厳しくなり、エコ・省エネが強く要求されている。化合物半導体であるシリコンカーバイド (SiC) やガリウムナイトライド (GaN) は、より優れた材料特性を有し、Si の性能限界を超えるデバイスを実現できることから注目されている⁽¹⁾。

表 1 半導体材料の物理定数とパワー素子性能指標

Properties		Si	4H-SiC	GaN
バンドギャップ	eV	1.1	3.3	3.4
電子移動度	cm ² /Vs	1350	700	1500
絶縁破壊電界	MV/cm	0.3	3.0	3.3
熱伝導度	W/cmK	1.5	4.9	2.0
性能指数	$\epsilon\mu Ec^3$	1	440	1130

表 1 に示されるように、SiC の絶縁破壊電界強度は Si より 10 倍大きく、デバイス耐圧を保持するためのドリフト層を薄くかつ高濃度で作製できるため、低損失デバイスを実現できる。バンドギャップ幅は Si の 3 倍であることから、SiC は高温下においてもリーク電流が少なく正常の動作ができる。また、SiC の熱伝導度は Si の 3 倍以上であり、冷却装置の簡素化や削減を期待できることから、電源装置やインバータの小型化、軽量化、大電力化に大きく貢献できる。

SiC の利点を生かして、当社は既に民生、産業機器や EV/HEV のモーター向けに 1200V の SiC Trench MOSFET

の開発を進めている⁽²⁾。

現在、SiC パワーデバイスの普及における課題は、ウェーハコストが高いことである。しかし、SiC ウェーハは近年、4 インチから 6 インチに大口径化が進んでおり、さらに 8 インチ化技術が確立すればさらなるコスト削減が期待できる。課題であった Si デバイスとの価格差が改善されれば SiC のメリットを生かした応用技術が市場に浸透し、中耐圧領域のニーズも高まってくると予測できる。SiC パワーデバイスが中耐圧領域で適用されるアプリケーションの一例として、図 1 のようにキャリア周波数が数十 kHz のモータインバータから、数百 kHz の民生・産機のスイッチング電源などが挙げられる。この領域に対応するため当社は 800V SiC MOSFET の開発を着手した。

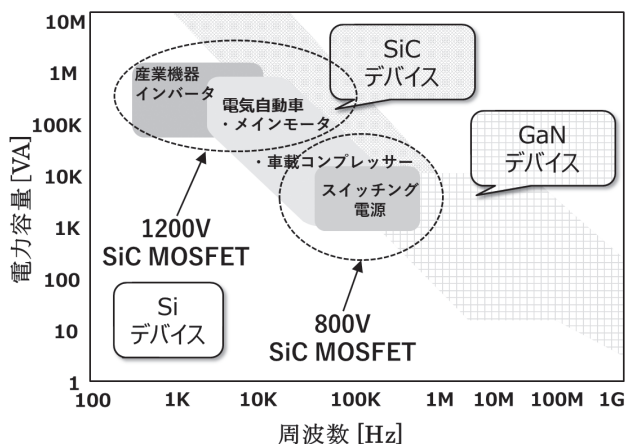


図 1 800V SiC MOSFET の市場位置付け

* デバイス事業本部 技術本部 マーケティング統括部
SiC 技術部 開発 1 課

本稿では、800V開発品の構造設計をデバイスシミュレーションで検討した結果を報告する。

2. デバイス設計

2.1 設計コンセプト

今回800V開発品の素子設計は、先行開発している1200V開発品の設計をベースにデバイスシミュレーションを用いて検討した。すでに実績を得ている1200V開発品の設計結果を活用することで、開発期間を大きく短縮した。

図2(a)のように、当社の1200V開発品は、微細化による面積オン抵抗を低減するため、トレンチゲート構造を採用し、埋め込み型ゲート電極構造としている。トレンチゲート底端部のゲート酸化膜にかかる電界緩和のためにトレンチ間に高エネルギー注入によるDeep P領域(DP)を設けた。トレンチ底部にラウンディング加工を施し、さらに底部のゲート酸化膜を選択的に厚くすることで、ゲート酸化膜にかかる電界集中を抑制した。この厚膜ゲート酸化膜は、スイッチング特性改善にも有効である。デバイスのしきい値電圧およびOFF時のゲート酸化膜中の電界強度が設定値を超えないよう、ゲート酸化膜の厚みを決定した⁽¹⁾。

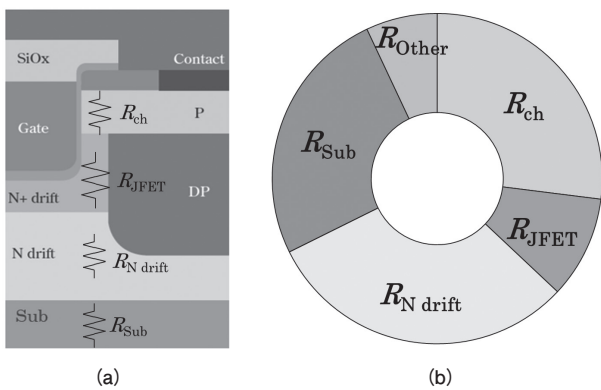


図2 1200V開発品のセル構造 (a) と面積オン抵抗成分比率 (b)

1200V開発品の面積オン抵抗成分は図2(b)のように構成され、主にChannel抵抗 R_{ch} 、JFET抵抗 R_{JFET} 、N drift抵抗 $R_{N\text{drift}}$ とSub抵抗 R_{Sub} の和である⁽²⁾。トレンチゲート構造によるチャンネルの高密度化とMOS界面の改善により R_{ch} の比率を全体の25%程度まで低減できている。その結果、 $R_{N\text{drift}}$ の比率は全体の約30%と大きいことがわかる。また、MOSFETがOFF動作する時、N drift層に空乏層が広がり、耐圧は空乏層の厚さで決まる。耐圧と $R_{N\text{drift}}$ はN drift層の濃度および厚さに大きく左右される。

開発する800V開発品の面積オン抵抗($A \cdot R_{on}$)は1200V開発品に対し約15%削減を目標値とした。

1200V開発品の素子耐圧設計は、セル部ではなく活性領域外周部でアバランシェ降伏させる設計とした。その理由は、SiC基板は結晶欠陥がSiに比べて多く内在するため、広い面積のセル部より狭い外周部でアバランシェ降伏現象を生じさせる方が、結晶欠陥の影響を低減できるためである⁽¹⁾。

800V開発品は1200V開発品と同様に活性領域外周部でアバランシェ降伏させる設計とし、FLR構造(Field Limiting Ring)を採用する。製品仕様800Vを保証し、セル部耐圧より低くなるようFLR構造を設計することが求められる。

1200V開発品と同様、OFF動作時にはゲート酸化膜に強い電界がかかることから信頼性、寿命保証の観点で設計の段階からゲート酸化膜中電界を重要なパラメータとし検討を進めた。

MOSFETの耐圧と面積オン抵抗は、N drift層に大きく影響されることから、目標特性を満足するようデバイスシミュレーションを用いてN drift層の設計をおこなった。

2.2 セル構造設計

2.2.1 耐圧検討

N drift層の濃度および厚さを検討した。1200V開発品のシミュレーション結果を参考に、N drift層の厚みを1200V開発品の30%~80%、濃度を100%~200%の範囲でセル部耐圧シミュレーションをおこなった。

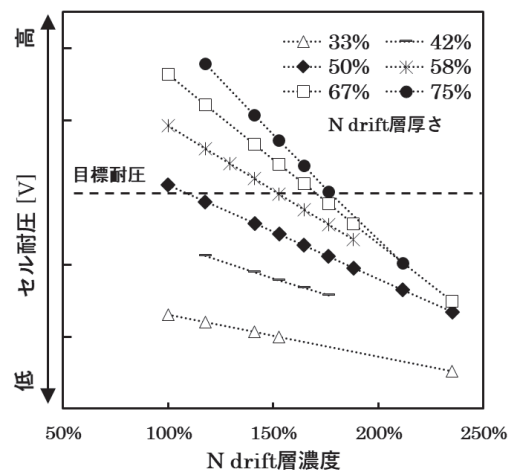


図3 N drift層濃度に対するセル耐圧

図3に示す結果のように、検討した範囲内において、目標耐圧を満足するいくつかの濃度および厚さの条件を見出すことができた。

2.2.2 面積オン抵抗検討

面積オン抵抗とN drift層の濃度および厚さとの依存性の検討もおこなった。

結果は図4のように、N drift層の厚さを一定にし、濃度を高くすると面積オン抵抗が低減する傾向であった。

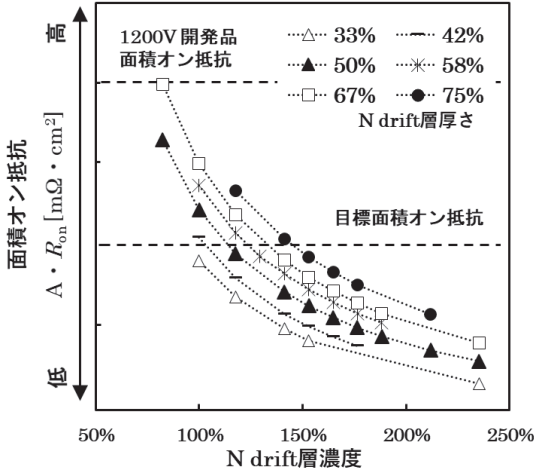


図4 N drift層濃度に対する面積オン抵抗

2.2.3 OFF動作時ゲート酸化膜中最大電界検討

OFF動作時には、トレンチ底端部のゲート酸化膜に強い電界がかかることから信頼性、寿命保証の観点よりゲート酸化膜中電界は重要なパラメータである。そのため、N drift層の濃度および厚さに対しその依存性を確認した。

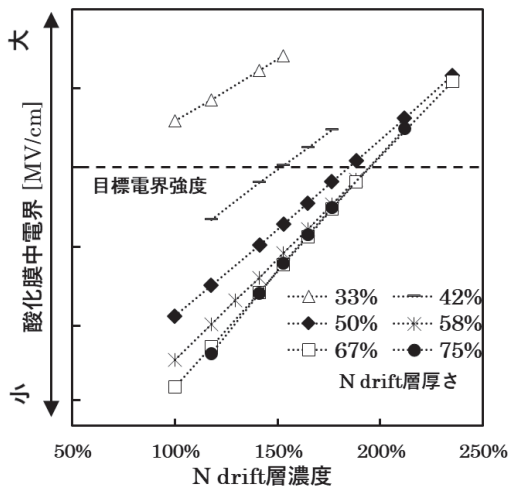


図5 N drift層濃度に対するゲート酸化膜中最大電界

図5のようにN drift層の厚さを一定にし、濃度を低くすると、OFF動作時の酸化膜中最大電界が低減する傾向であった。

セル部素子耐圧、面積オン抵抗、OFF動作時のゲ-

ト酸化膜中電界に対してN drift層濃度および厚さを検討した結果、1200V開発品に対してそれぞれ130%と60%の条件にて特性を満足することを確認した。

選定したN drift層条件において製造ばらつきを±15%と想定し、特性ばらつきを検討した。

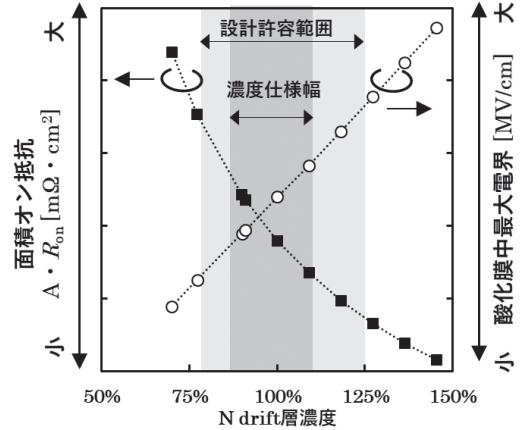


図6 N drift層濃度に対する面積オン抵抗とゲート酸化膜中最大電界

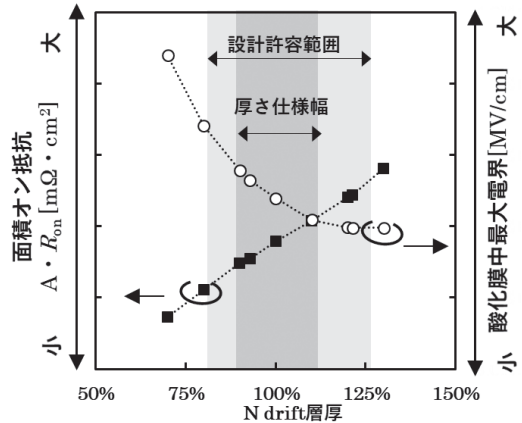


図7 N drift層厚さに対する面積オン抵抗とゲート酸化膜中最大電界

図6, 7に示すように、N drift層の濃度と厚さの製造ばらつきが想定範囲内であれば、面積オン抵抗とOFF動作時の酸化膜中最大電界は、目標値を満足する結果を得ることができた。

2.3 素子外周構造検討

耐圧設計においてはSiCが持つ結晶欠陥の影響を低減するため、セル耐圧>外周耐圧の関係を有し、外周でブレークダウンする動作状況が望ましい。そのため外周FLR構造においては製造ばらつきや外部イオン侵入などの動作に影響を与えることを想定し、安定的に主接合でアバランシェ動作するよう設計する必要がある。今回検討したN drift層濃度と厚さ条件を用いて、OFF動作におけるセル部と外周部の耐圧比較および外周耐圧を制御

するためのFLR構造最適化を検討した。

図8は検討したFLR構造の耐压とセル耐压を比較した結果である。得られた特性は目標耐压を満足し、セル耐压に対して十分なマージンを有する結果となった。また、N drift層の濃度と厚みの製造ばらつき範囲内においてもFLRの耐压はセル部の耐压より常に一定以上のマージンを有し、耐压の逆転現象が生じないことを確認した。

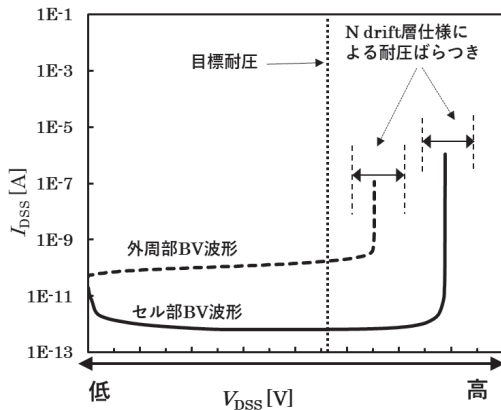


図8 セル部とFLRのOFF 耐压波形

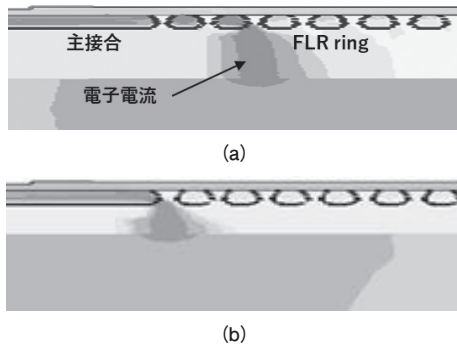


図9 アバランシェ降伏時の電子電流分布
(a) 最適化前 (b) 最適化後

図9に、アバランシェ降伏時の電子電流分布を示す。FLRリングの幅と間隔の調整によりブレイクポイントが決定される。図9(b)に示すように、OFF動作時のアバランシェ降伏が主接合で生じるよう、FLR設計の最適化を実施した。

3. 電力損失検討

図10に示す回路構成を用いて、キャリア周波数500kHzを想定したダブルパルス評価法による電力損失シミュレーションを実施した。Super Junction MOSFET (以下SJ-MOSFET) を比較対象とした。定常状態のオン抵抗を規格化してスイッチング損失を抽出した。比較評価結果

を図11に示す。今回設計した800V開発品のスイッチング損失は他社のSJ-MOSFETに比べ1/7~1/105に損失低減できることが示唆された。キャリア周波数の高いスイッチング電源への適用についても優位性が期待できる。

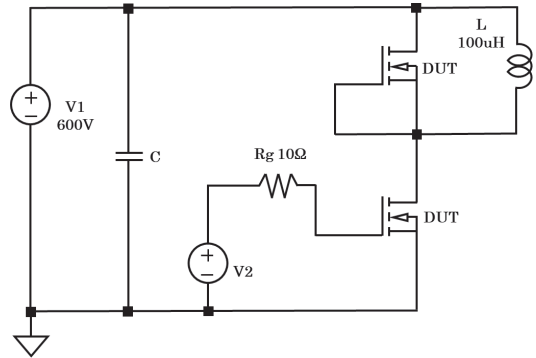


図10 スwitching損失評価回路図

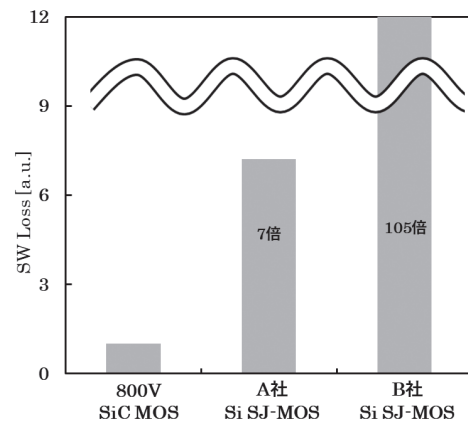


図11 スwitching損失の比較

4. むすび

デバイスシミュレーションを用いて800V SiC-MOSFETの基礎設計の検討をおこなった。

N drift層の濃度および厚さをそれぞれ、1200V SiC MOSFETの130%と60%の条件を適用し、面積オン抵抗を約15%低減できた。また、デバイス耐压は目標設計値以上が得られた。

電力損失に関しては、キャリア周波数500kHzのスイッチング電源用途を想定した場合、SJ-MOSFETより低損失で、強い競争力を示すことがわかった。

今後、試作をおこない検討結果の妥当性を確認しながら800V SiC MOSFETの開発を早期におこなっていく。

参考文献

- (1) 熊倉, 馬場: サンケン技報, vol 50, p.19-22, (2018. 11)
- (2) 熊倉: サンケン技報, vol 51, p.29-32, (2019. 11)