

# SiC MOSFET Spice データを用いた IPM 用ドライバ IC の開発

## Development of Driver IC for IPM using SiC MOSFET Spice Data

政 所 隆 大\*  
Takahiro Mandokoro

**概要** EV・車載市場で使用される電動コンプレッサは、空調システムだけではなく、バッテリー冷却システムにも使用されている。機能拡大される電動コンプレッサを駆動するモジュール製品には、1200V耐圧／出力電流50A MAX／駆動周波数～40KHzといった性能が求められる。この機能をIPM製品サイズで実現するには、パワーデバイスにSiC MOSFETの採用が必要不可欠である。またこのSiC MOSFETを最適に制御するため、新規ゲートドライバICの設計が必要である。本報告ではゲートドライバIC設計のため、SiC MOSFETおよびIPM製品で内包されるすべての寄生値をパラメータ化し、そのデータを用いてゲートドライバICの設計・試作を実施、また試作品の検証結果を得たので報告する。

### 1. まえがき

車載用電動コンプレッサはHEVからEVへ、車両搭載システム変貌に伴い、空調だけではなくバッテリー冷却用途への活用が進んでいる。このコンプレッサの機能拡大に伴い、それを駆動するためのIPM製品には、より高出力で小型に寄与する製品が求められている。

そこでIPM製品に求められる性能の一例を表1に示す。

表1 半導体デバイスに求められる性能

	従 来	今 後
耐 圧	～ 600V	～ 1200V
出 力 電 流	～ 30A	～ 50A
駆動周波数	～ 20KHz	～ 40KHz
使用温度	～ 150℃	～ 175℃<
IPM サイズ	31mm*52.5mm*5.6mm	従来品同等以下

現在、当社が量産するパッケージサイズ以下で表1の特性を実現するには、IPM製品に搭載されるパワーデバイスをSiC MOSFETに置き換え、さらにパワーデバイスを最適に駆動させることが必要である。

最適な駆動を実現するためのゲートドライバICには、従来品のスイッチング損失を1/2以下へ低減し、発生ノ

イズを従来品同等以下へ、さらに負電源回路不要とする回路が求められる。この背反する両特性を保持させながら、単電源により駆動可能なゲートドライバICの設計を実施した。

本ゲートドライバICを設計するにあたり、いままで量産実績あるIGBT/FRD搭載のIPM製品で構築した設計データが利用できないことや、現行品の製品設計精度をさらに向上させるため、SiC MOSFETのSpiceモデル化、およびIPM製品に関わる全ての寄生値もパラメータ化し、それらのデータを用いて回路設計を実施した。本稿は上記内容を用いてIPM製品に適した新規ゲートドライバICの設計・検証結果について報告する。

### 2. SiC MOSFETモデルの作成

Spiceデータ化したデバイスの内観写真とモデル化のイメージ図を図1に示す。

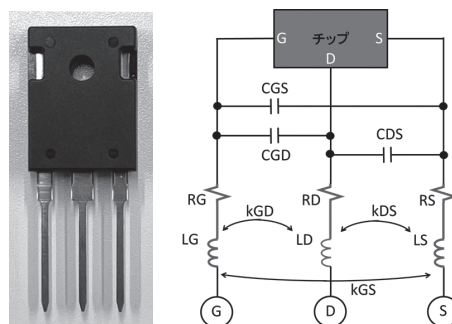


図1 SiC MOSFETの内観写真とモデルイメージ図

\*マーケティング本部パワーモジュール開発統括部  
SiC開発部 開発2課

SiC MOSFETのSpiceデータを準備するにあたり、図1に示すTO247パッケージに組み込んだ製品の特性を評価した。評価データは静特性および動特性の両面で検証し、図1に示すパッケージで使用されるAlワイヤやCuリードフレームの抵抗およびインダクタンス、各端子に結合される容量成分を等価回路図に置き換え、マクロモデルを活用したSpiceデータを準備した。

### 3. ゲートドライバ回路設計

図2にゲートドライバ回路のブロック図を示す。ゲートドライバ回路は、SiC MOSFETのゲート-ソース間に電荷を充電するための出力ソース部とゲート-ソース間の電荷を放電させるための出力シンク部から構成される。

出力ソース部は、NchMOSFETとPchMOSFETを並列に接続し充電制御する回路とした。出力シンク部は、抵抗成分の異なるNchMOSFETを並列に接続し、動作タイミングに応じて放電制御する回路とした。また本制御回路はハイサイドとローサイドで共通とした。

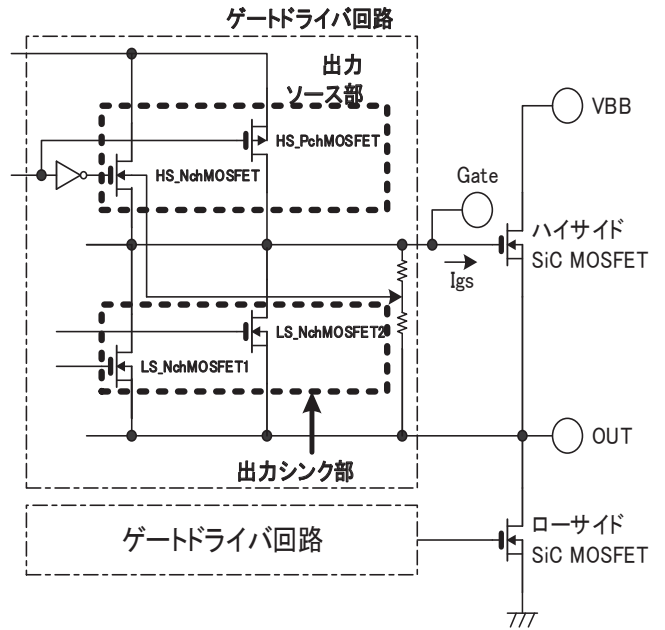


図2 ゲートドライバ回路のブロック図

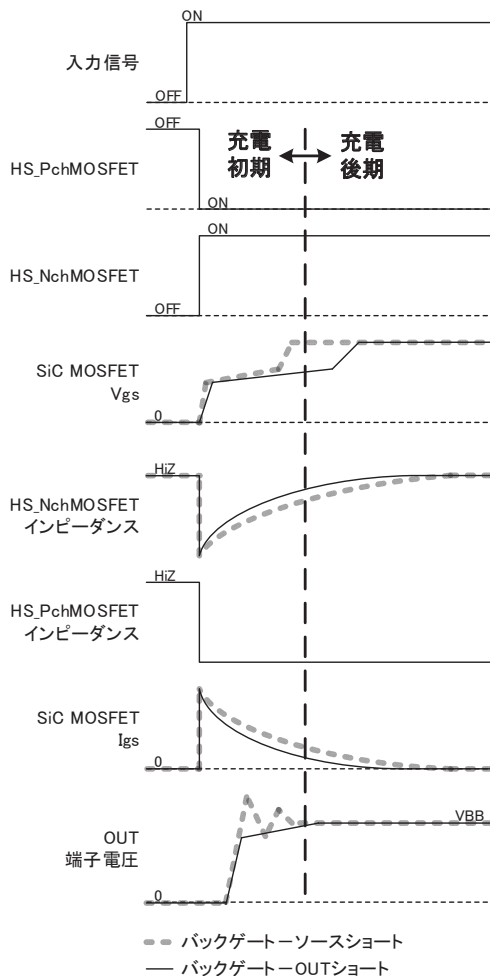


図3 ON動作時タイミングチャート

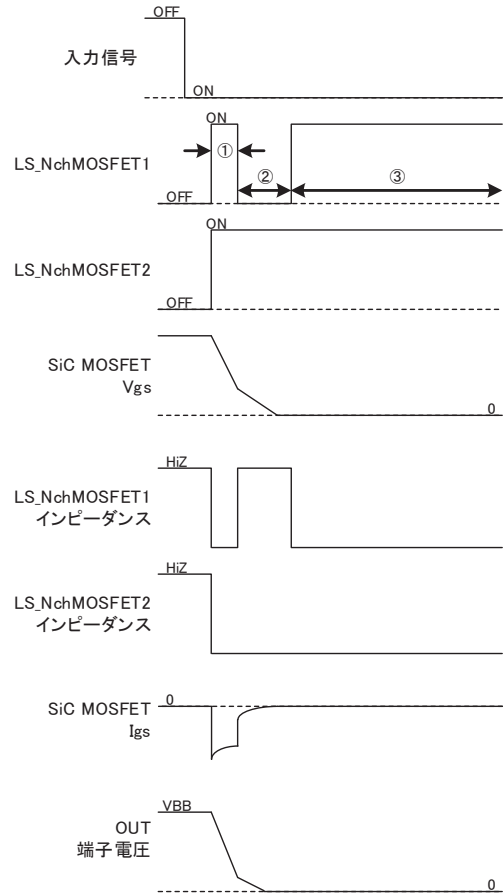


図4 OFF動作時タイミングチャート

### 3.1 出力ソース部

図3にSiC MOSFETがON動作時のタイミングチャートを示す。MOSFETゲート-ソース間への充電制御では、入力信号がOFFからONへ切り替わると、並列接続されたHS\_PchMOSFETとHS\_NchMOSFETを同時にONさせる。これにより、Turn On時における充電初期をHS\_NchMOSFETをメインに供給することでドライブ能力が最大となる設計とした。充電後期の動作ではVgs電圧が上昇することで、HS\_NchMOSFETがOFFし、HS\_PchMOSFETの充電能力でVgs電圧が増加する。この回路構成によりスイッチング損失を低減することができる。

一方、HS\_NchMOSFETのインピーダンスが低すぎると、出力のオーバーシュートを伴ったノイズが発生する。このノイズを低減する方法として、HS\_NchMOSFETのバックゲートのバイアス電圧を調整することで損失とノイズを両立させる充電制御を実現した。

### 3.2 出力シンク部

図4にSiC MOSFETがOFF動作時のタイミングチャートを示す。低抵抗のLS\_NchMOSFET1と高抵抗のLS\_NchMOSFET2を並列に接続した回路設計とした。

入力信号がONからOFFへ切り替わると、LS\_NchMOSFET1とLS\_NchMOSFET2を同時にONさせる。

図4の①で示す期間では、LS\_NchMOSFET1とLS\_NchMOSFET2を並列でON動作させ、スイッチング損失を低減させる。出力の遷移が終了する②のタイミングで高抵抗のLS\_NchMOSFET2のみで放電動作させることでノイズ発生を減少させる。さらにゲート電圧が十分低い状態になる③以降は、定常動作時の貫通電流を防止するため、再びLS\_NchMOSFET1とLS\_NchMOSFET2

を並列で放電制御する。このドライブ方法により損失とノイズを両立させ、誤動作を防止する放電制御を実現した。

## 4. チップ設計

表2に今回設計したドライバ回路を搭載したMICのチップレイアウトを示す。

左側のハイサイドMICは、IPMパッケージに搭載するため1ch構成のチップレイアウトとした。U,V,W相それぞれに本MICを1chずつ使用する。また本チップはSiC MOSFETと同様の耐圧仕様とし、1200V耐圧プロセスを採用した。

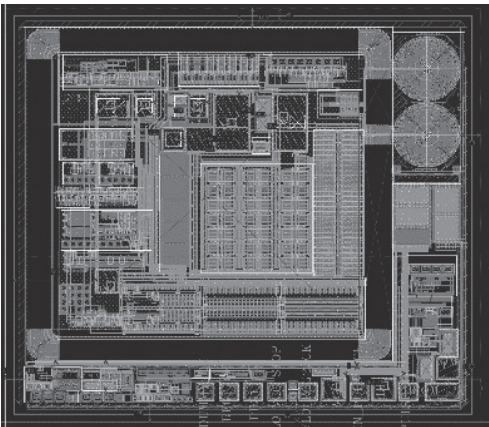
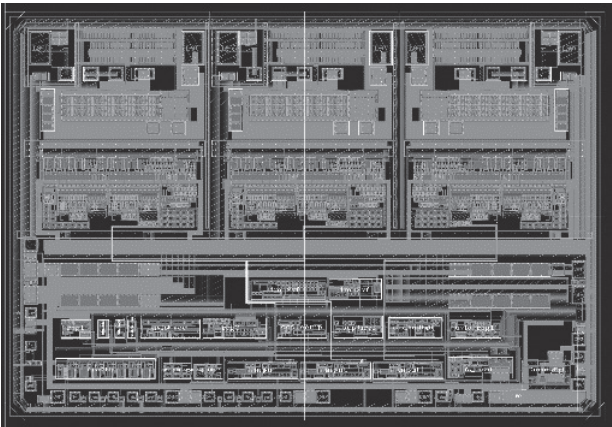
また右側のローサイドMICは、IPMパッケージに搭載することを前提にU,V,W相を駆動できるようにゲートドライバ回路3chを1チップ構成でレイアウトした。本チップには650V耐圧プロセスを採用した。

## 5. 試作結果と検証

今回設計したドライバ回路を搭載したMICを試作した。IPMパッケージへ組み込む前の試作検証として、試作したMICと2項でモデル化したSiC MOSFETを組み合わせ動作させる実機評価を実施した。また実機評価で使用した評価ボードの寄生値を網羅したシミュレーション解析を実施し、試作品の実測波形とシミュレーションによる動作波形の比較を実施した。

図5に実際に作成した評価ボード写真とシミュレーション解析時の回路図を示す。評価で使用したパワーデバイス、2項でモデル化したSiC MOSFETを実機評価およびシミュレーション解析で使用した。また今回試作したMICは、当社面実装パッケージに実装して評価実

表2 チップレイアウト図面

	ハイサイド MIC	ローサイド MIC
チップレイアウト		

施した。

また、シミュレーション解析では、正確なシミュレーション回路とするため、MICパッケージや評価ボードの各配線長と配線径を計測し、シミュレーション回路に反映させた。

### 5.1 スイッチング波形比較

図6に実測とシミュレーションにおけるスイッチング波形の比較を示す。

ON動作、OFF動作いずれも、実測とシミュレーション

ン波形のズレは10%以下であり、実測波形とシミュレーション波形が一致している結果が得られた。

## 6. むすび

SiC MOSFET Spiceデータを用いたIPM用ドライバICの開発を実施し、MIC試作まで実施した。また試作したMICを用いて実機およびシミュレーション解析による検証を実施し一致することを確認した。

今後は本MICとSiC MOSFETを搭載したIPMの製品化に向けて開発を邁進していく。

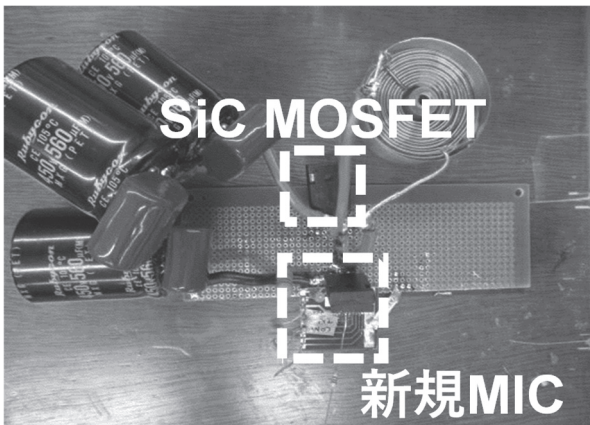


図5 評価ボード写真

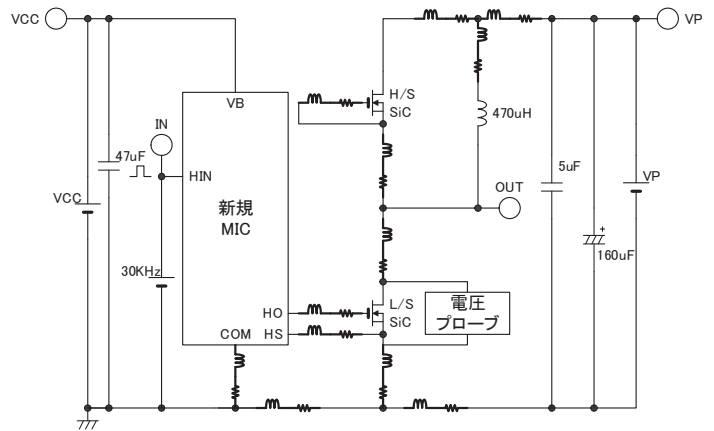


図6 シミュレーション回路

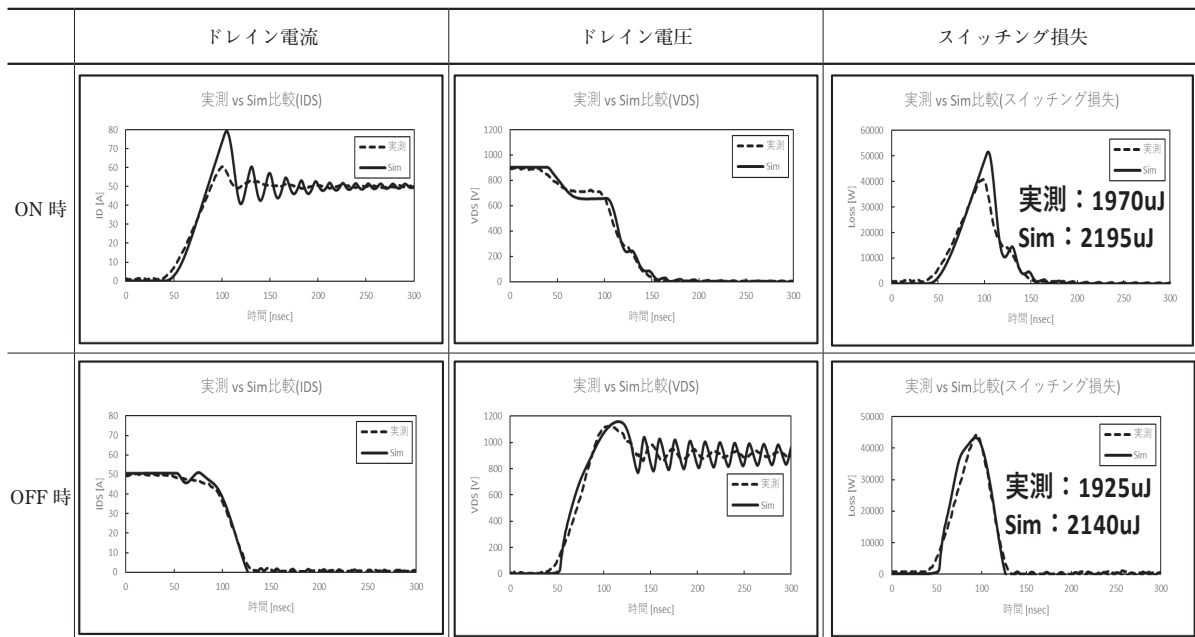


図6 実測とシミュレーションの波形比較