

# IPM 向け低コスト高耐圧 BCD プロセスの開発

## Development of Low-Cost, High-Voltage BCD Process for IPM

青木 宏憲\*  
Hironori Aoki

**概要** 民生機器から産業機器、車載用途まで幅広く使用される IPM (Intelligent Power Module) は当社の主力製品である。IPM 製品に内蔵されるモータドライバ IC (HVIC) 向けに、低コストの高耐圧 BCD プロセス、SG7.5HV プロセスを開発した。このプロセスは、当社の 0.25 $\mu$ m デザインルールにもとづく 900V 第 7 世代 BCD プロセス (SG7HV プロセス) をベースにしており、プロセス面およびデバイス面の詳細な見直しを経ている。本稿ではその開発手法について報告する。

### 1. まえがき

現代の電子機器市場は、高効率かつ高信頼性の製品を求めており、その一方でコスト競争力も非常に重要である。IPM (Intelligent Power Module) は、現代のモータドライブ分野において不可欠な役割を果たしており、当社でも主力製品のひとつとなっている。

この IPM は、主要な電力半導体デバイス (IGBT や MOSFET, Diode) の他それらを駆動する制御回路 (ドライバ回路) や保護回路を統合したモジュールである。このモジュール向けに制御回路を担う HVIC (高電圧集積回路) を低コストで提供することは、エレクトロニクス産業における課題の一つであり、企業の競争力の維持および向上のためにも極めて重要である。

これまで当社の高耐圧 BCD プロセス開発においては一つのプロセスにて高耐圧ドライバの他、高耐圧スイッチングレギュレータなどの電源 IC 用途にも対応可能なオールマイティなプロセスを採用しており、主にデザインルールの縮小によってコストダウンを進めてきた。HVIC の場合 CMOS ロジック回路とアナログ信号処理回路、高電圧のレベルシフトを行う高耐圧素子を同一チップ上に搭載するが、このうちデザインルールの縮小によって素子サイズの縮小や性能向上などの恩恵を最も受けるのは CMOS ロジック回路である。

しかし HVIC では通常 CMOS ロジック回路の規模は大きくないため微細化の恩恵は限られていた。そこでさらなる IPM のコストダウン要求に応えるべく、当社最新の高耐圧 BCD プロセスである第 7 世代高耐圧 BCD プロセス (SG7HV) をベースに IPM 向けに最適化した SG7.5HV プロセスを開発したので報告する。

### 2. コンセプト

主要な目標は、ウェーハコストを削減するとともにリードタイムを短縮し、生産性を向上させることとした。これを実現するために以下のアプローチを取った。

まず、コストダウンを実現するために、ターゲットを IPM 製品に絞り、プロセスを簡略化する。具体的には、エピタキシャル成長、マスク数、工程数の削減、およびデザインルールの見直し (拡大) の検討がおこなわれた。これにより、ウェーハコスト削減が期待される。同時に、簡略化されたプロセスにより、リードタイムも短縮され、生産性が向上する。また既存条件の最大限の流用を念頭に開発をおこない、既存プロセスとの互換性を保ちつつ生産性を向上させる。

最後に、新技術としてレベルシフト用高耐圧 LDMOS と高圧島の一体化構造を採用することで、デザインルールの拡大によるチップサイズの増加を抑制する。

\*技術開発本部 プロセス技術統括部  
IC デバイス開発部 IC プロセス開発課

### 3. プロセス開発

#### 3.1 当社BCDプロセスロードマップ

図1に当社のBCDプロセスのロードマップを示す。1996年リリースの3umルールBCD1HV以降2017年リリースの0.25umルールのSG7HVまで微細化がなされてきた。今回開発したSG7.5HVプロセスは0.5umルールを採用しており、デザインルールの後退する形となっているが、プロセスの簡略化とチップサイズ抑制の両立を狙った結果である。なお、図中のBCD3-700とSG7.5HVのみシリコン基板上にエピタキシャル成長層のないエピレスプロセスとなっている。

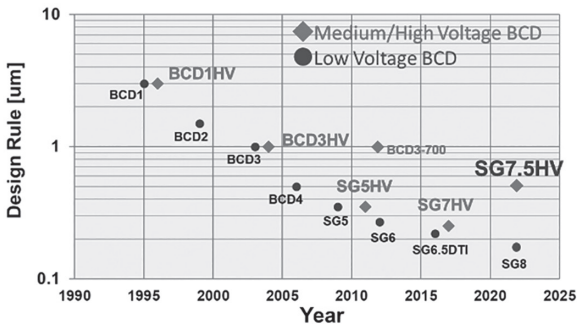


図1 BCDプロセス技術ロードマップ

#### 3.2 プロセス概要

表1にSG7HVとSG7.5HVを比較する形でプロセス概要及び主要搭載デバイスを示す。IPM製品仕様に合わせCMOSの最大オペレーション耐圧を20Vとした。低圧CMOS Logicの回路規模を鑑みゲート酸化膜はSG7HVのデュアル構成から600Åのシングル構成とした。また微細化に必要なCMOSのサイドウォール形成工程及びサイリサイド工程を削除した。高耐圧デバイスの保証電圧も仕様に合わせて700Vとさげた。

図2には各プロセスの拡散構造の断面概略図を示す。SG7HVプロセスはP-型シリコン基板 (P-sub) 上にN-型エピタキシャル層を形成し、埋め込みN+型拡散層他合計3種の埋め込み拡散層を有している。一方SG7.5HVではP-sub中に高温長時間の拡散によりN-Well (NW) 領域を形成する。NW拡散層はP-Well (PW)-P-sub間パンチスルー防止のため適切な深さに設定されている。埋め込みN+型拡散層が存在しないことで縦方向の寄生PNP動作防止のため慎重なレイアウトが要求される一方、エピタキシャル成長及び埋め込み工程の削減によるコスト低減を実現している。フィールドプレート構造は従来のMFFP (Multiple Floating Field Plate) を踏襲し、二層Poly間の直列容量結合によりRESURF領域の電位勾配を均

表1 SG7HV、SG7.5HV プロセス概要

要素項目		SG7HV	SG7.5HV
プロセス	デザインルール	0.25um	0.50um
	ゲート酸化膜厚	180 Å / 800 Å	600 Å
	埋め込み・エピ	あり	なし
	サイドウォール	あり	なし
	サリサイド	あり	なし
配線構造		2Poly/2Metal	
デバイス	CMOS	5V/7V	7V
		20V/30V	20V
	NPN	7V/20V/30V	20V/30V
	PNP	7V/20V/40V	なし
	Diode	各種	
	抵抗	各種	
	Capacitor	各種	
	高圧Nch MOS	150V/600V/900V	700V
	高圧Pch MOS	150V/600V	なし
JFET	900V	700V	

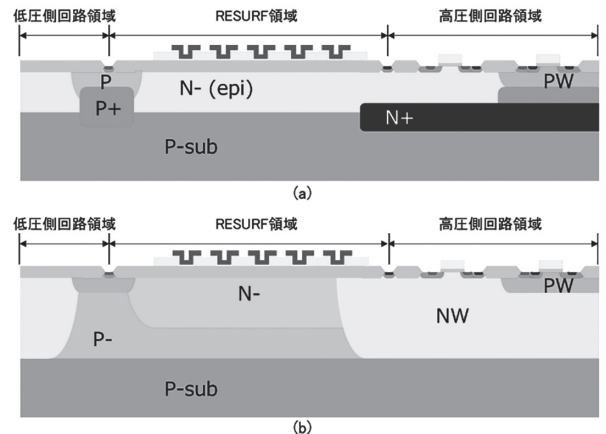


図2 拡散構造断面図 (a) SG7HV (b) SG7.5HV

一に安定化させている。これにより高電圧印加下の長期信頼性が確保される。

#### 3.3 プロセス開発の成果

対SG7HV比でウェーハ製造の工程数が25%削減され、それにより製造リードタイムおよびウェーハ製造コストが削減された。生産とコストの両面で大幅な改善を実現することができた。

### 4. デバイス開発

HVICの一例を図3に示す。この例ではHVICはハイサイド駆動回路と、制御信号のレベルシフト機能を担うレベルシフト回路、及びフローティング電源VB用のBootstrapダイオードを一つのチップに内蔵している。

その他通常HVICは過電流、過熱、過電圧、電源電圧低下などの状況に対する保護機能を備えている。ハイサイド駆動回路は高耐圧のフローティング島 (HV島) 内に配置され、低電圧側と高電圧側との電氣的なアイソレーションを確保している。高耐圧Nch LDMOS (HVNLD MOS) と抵抗を用いたレベルシフト回路により、制御信号を高電圧 (HS) 基準の信号に変換する。当社では従来このHVNLD MOSをHV島の外に配置するレイアウトを採用してきたが、本プロセスではHV島の外周領域の一部に一体化させるレイアウトに変更した。それによりチップ上でのスペース効率が改善されている。

その他、レイアウト手法の見直しによりCMOS Logic面積を従来の設計手法でレイアウトした場合に比べて最大で50%削減、及び内蔵Bootstrapダイオードのオン抵抗をSG7HV比30%低減したことにより、デザインルール拡大によるチップサイズ増大を抑制している。その結果、チップサイズ拡大によるコストアップをウェーハコストの低減分で吸収し、トータルでコスト低減を実現することができている。

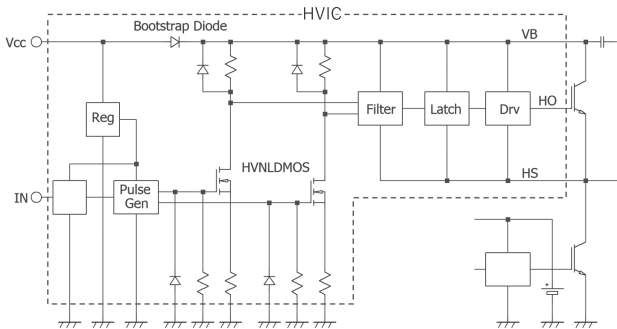


図3 HVICの回路ブロック図

#### 4.1 一体型HVNLD MOSの開発

図4(a)は従来のレイアウト模式図でありHV島の外にHVNLD MOSが配置されている。これをよりコンパクトにするために本プロセスで採用したのが図4(b)の一体型HVNLD MOSである。一体化HVNLD MOSの要件には、オフおよびオン状態での耐圧に加えて、VBとHVNLD MOSのドレインとの間のパンチスルー耐圧がVcc以上であることが必要である。初期の設計段階では、例えばVBに30Vの電圧を印加した際に、mA単位のリーク電流が発生するという問題が生じた。

図5(a)はHV島とHVNLD MOSの分離部の初期設計の模式図である。MFFPを構成する分離部上の二層フローティングPolyが分断されておらず、VB、ドレイン、Sub間の容量結合を構成するコンデンサがその右側の等価回路図に示すように連結される。この状態でVBに電

圧を印加すると、フローティングPoly 1本目の電位であるV1がその下のP型層が反転する程度まで上昇し、リークが発生する。この問題を解決するために、図5(b)のようにレイアウトを変更した。HV島のN型領域上にてフローティングPolyを分断することで、等価回路はその右側の図のように変更され、分離部上のV1の電位を下げることができる。その結果、表面反転によるチャンネルの形成を防ぐことができた。

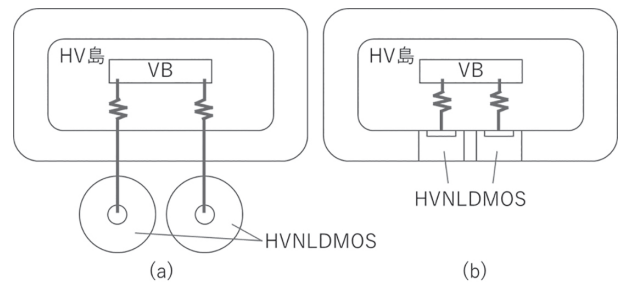


図4 HV島レイアウト模式図 (a) 分離型 (b) 一体型

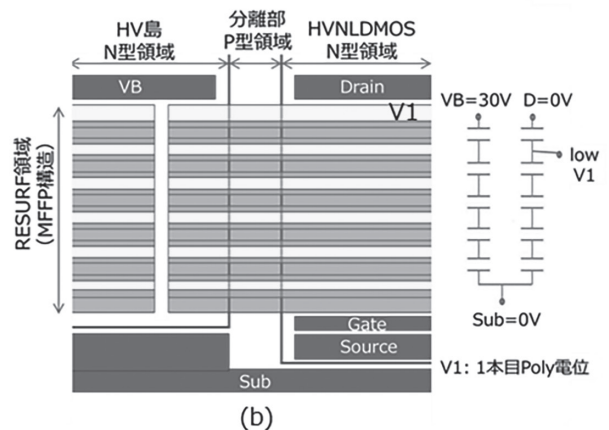
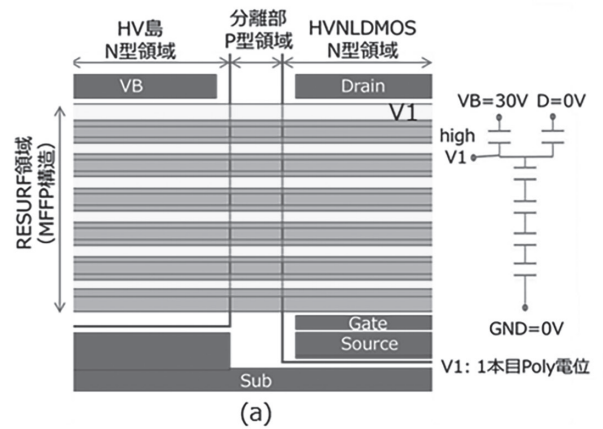


図5 分離部構造図 (a) 初期設計 (b) 改良版

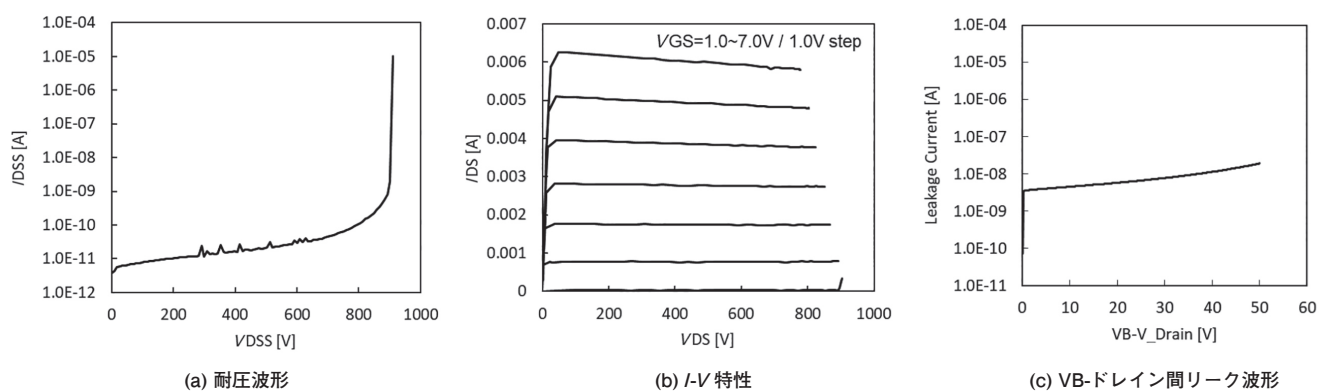


図6 一体化HVNLD MOSの実測波形

#### 4.2 一体型HVNLD MOS特性

図6(a)に耐圧波形( $I_{DSS}$ - $V_{DSS}$ )、同(b)に $I$ - $V$ 特性、同(c)にVB-ドレイン間リーク波形の実測結果を示す。どの特性も仕様を十分満足している。

### 5. 製品化

現在、この新規に開発したSG7.5HVプロセスを用いて種々の製品開発を進めているところである。

図7にその一例としてハイサイドドライバーICのレイアウトをSG7HVの同等製品と比較して示す。従来プロセスと比較し、デザインルールを0.25 $\mu$ mから0.50 $\mu$ mへ拡大したにも関わらず、チップ面積で約10%の増加にとどまっている。

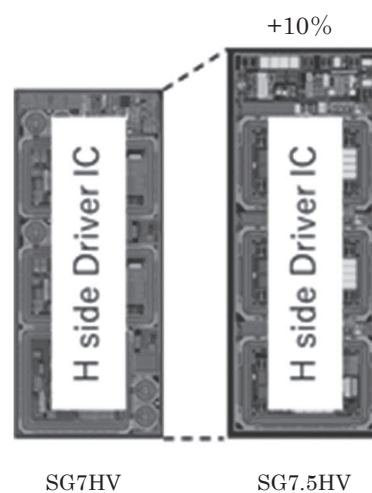


図7 製品レイアウトの比較

### 6. むすび

IPM製品向けに特化した低コスト高耐圧BCDプロセスを開発した。現在、電源IC用途を見据えた900V化お

よびAC400V系市場をターゲットにした1200V化の検討を行っている。どちらもプロセスステップ数を増やすことなく実現できることを確認済みである。