

軽負荷高効率機能搭載 同期整流方式、降圧型スイッチングレギュレータ IC NR264S

SanKen

データシート

概要

NR264S は、パワー-MOSFET を内蔵した同期整流型のスイッチングレギュレータ IC です。軽負荷時の高効率化を実現するため、軽負荷時はパルススキップ動作になります。ピーク電流制御方式により、セラミックコンデンサなどの低 ESR のコンデンサで安定に動作します。過電流保護、低入力電圧保護、過熱保護など、充実した保護機能を搭載しています。

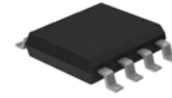
部品点数が少なく、実装面積を削減したスイッチングレギュレータ回路を構成できます。

特長

- 同期整流型
- 動作モード
定常時：電流モード PWM 制御
軽負荷時：パルススキップ動作
- 最大効率 ($V_{IN} = 12\text{ V}$ 、 $V_{OUT} = 5\text{ V}$)
定常時：94%
軽負荷時 ($I_{OUT} = 10\text{ mA}$)：86%
- 低 ESR セラミックコンデンサで出力を安定化
- 外付けコンデンサでソフトスタート時間の設定可能
- イネーブル機能
- 周波数制限機能（軽負荷時のパルススキップ周波数を 28 kHz に制限）
- 保護機能
過電流保護 (OCP)：垂下型、自動復帰
過熱保護 (TSD)：自動復帰
低入力電圧保護 (UVLO)
出力短絡保護：バースト発振動作 (Hiccup)

パッケージ

SOP8



原寸大ではありません。

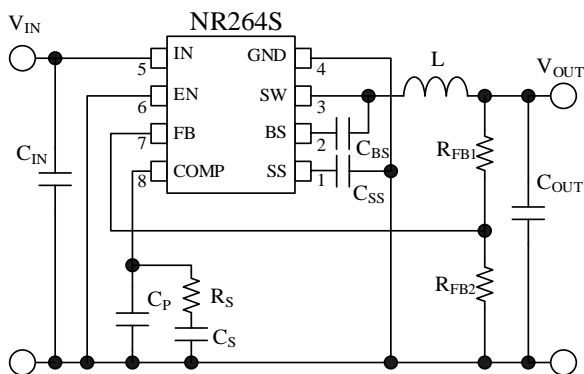
主要特性

- 入力電圧 $V_{IN} = 8.0\text{ V} \sim 31\text{ V}$
- 出力電圧 $V_{OUT} = 3\text{ V} \sim 18\text{ V}$
- 出力電流 $I_{OUT} = 1\text{ A}$
- 動作周波数 500 kHz 固定

アプリケーション

- 白物家電
- AV 機器
- OA 機器
- その他 SMPS

応用回路例



目次

概要	1
主要特性	1
目次	2
1. 絶対最大定格	3
2. 推奨動作条件	4
3. 電気的特性	5
4. ブロックダイアグラム	6
5. 各端子機能	6
6. 応用回路例	7
7. 外形図	8
8. 捺印仕様	9
9. 動作説明	9
9.1 PWM 出力制御	10
9.2 イネーブル機能	10
9.3 ソフトスタート機能	10
9.4 過熱保護機能	11
9.5 過電流保護機能、出力短絡保護機能	11
9.6 パルススキップモード	12
10. 設計上の注意点	13
10.1 熱減定格	13
10.2 外付け部品	13
10.2.1 インダクタ	13
10.2.2 入出力コンデンサ	14
10.3 出力電圧設定抵抗 (R_{FB1} 、 R_{FB2})	15
10.4 位相補償 (COMP 端子)	15
10.5 スパイクノイズ対策	16
10.6 出力電圧が入力電圧より高くなるアプリケーションの場合	17
10.7 パターン設計	17
10.8 ビーズコアの使用について	17
11. パターンレイアウト例	18
12. 代表特性例	20
注意書き	22

1. 絶対最大定格

特記がない場合の条件は、 $T_A = 25\text{ }^\circ\text{C}$ です。電流値の極性は、IC を基準として流入（シンク）を“+”、流出（ソース）を“-”と規定します。

項目	記号	条件	定格	単位
入力電圧	V_{IN}		-0.3~35	V
BS 端子電圧	V_{BS}		-0.3~40.5	V
BS-SW 間端子電圧	V_{BS-SW}	DC	-0.3~5.5	V
		パルス幅： $\leq 10\text{ ns}$	8	V
SW 端子電圧	V_{SW}	DC	-1~35	V
		パルス幅： $\leq 100\text{ ns}$	-2~35	
		パルス幅： $\leq 10\text{ ns}$	-6~35	
FB 端子電圧	V_{FB}		-0.3~6.0	V
COMP 端子電圧	V_{COMP}		-0.3~6.0	V
EN 端子電圧	V_{EN}		-0.3~6.0	V
SS 端子電圧	V_{SS}		-0.3~6.0	V
SS 端子流入電流	I_{SSB}		5.0	mA
許容損失 ⁽¹⁾	P_D	基板実装時（11 項参照）、 $T_J = 150\text{ }^\circ\text{C}$	1.56	W
接合温度 ⁽²⁾	T_J		-40~150	$^\circ\text{C}$
保存温度	T_{STG}		-40~150	$^\circ\text{C}$
ジャンクション-リード ⁽³⁾ 間熱抵抗	θ_{J-L}		60	$^\circ\text{C/W}$
ジャンクション-周囲間熱抵抗	θ_{J-A}	基板実装時（11 項参照）	80	$^\circ\text{C/W}$

(1) 過熱保護で制限

(2) 過熱保護検出温度：約 $165\text{ }^\circ\text{C}$

(3) リード温度は 4 ピンで測定

2. 推奨動作条件

項目	記号	条件	Min.	Max.	単位
入力電圧	V_{IN}		(1)	31	V
出力電流 ⁽²⁾	I_{OUT}	$L = 6.8 \mu\text{H}$	0	1.0	A
出力電圧	V_{OUT}		3	18	V
動作周囲温度 ⁽²⁾	T_A		-40	85	°C
動作ジャンクション温度	T_J		-40	125	°C

(1) 図 2-1 参照

(2) 熱減定格 (10.1 項参照) の範囲内で使用する必要があります。

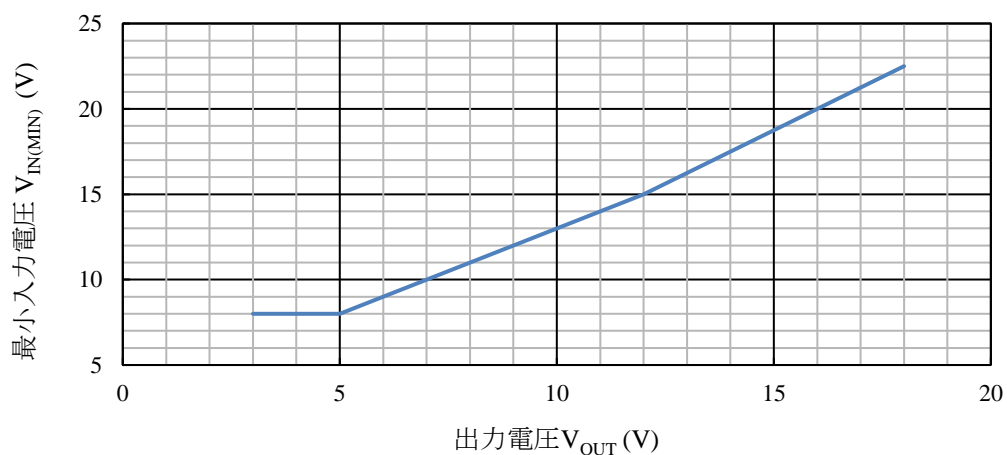


図 2-1 NR264S 最小入力電圧

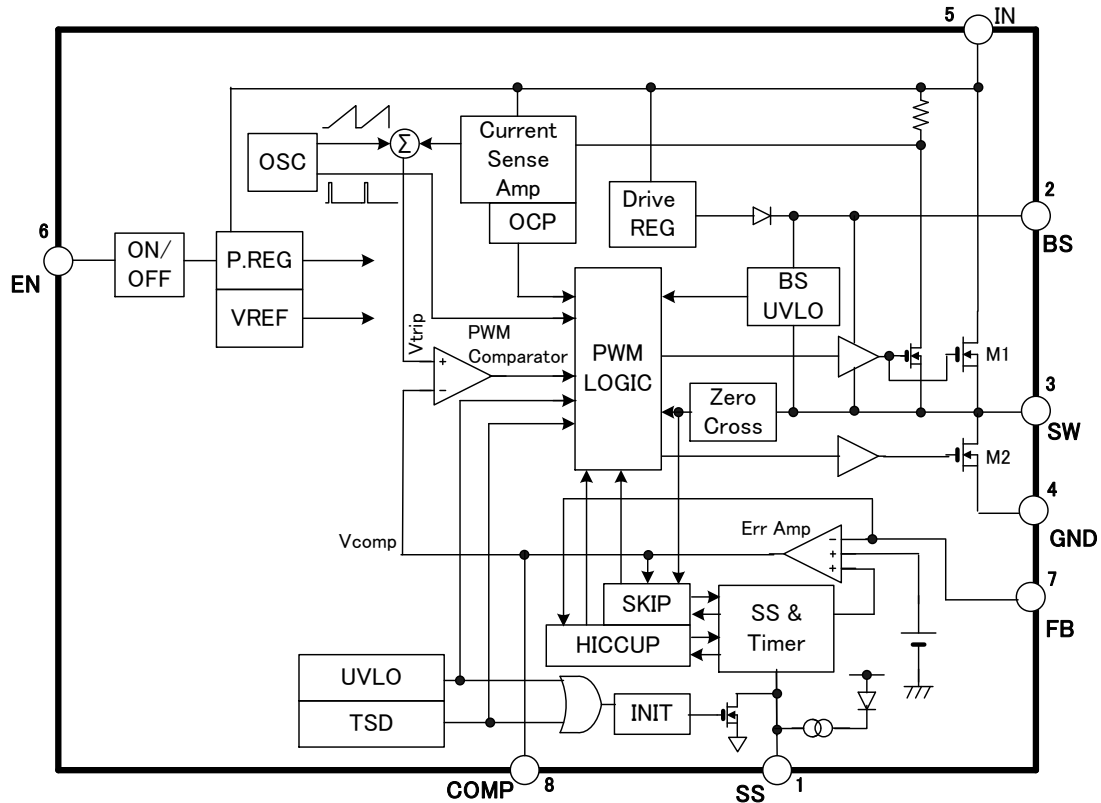
3. 電気的特性

電流値の極性は、IC を基準として流入（シンク）を“+”、流出（ソース）を“-”と規定します。
特記がない場合の条件は、 $T_A = 25\text{ °C}$ です。

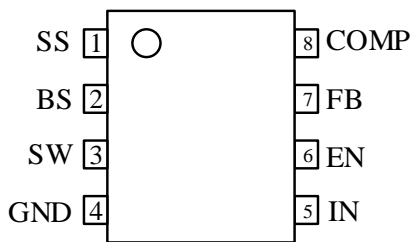
項目	記号	測定条件	Min	Typ.	Max	単位
基準電圧	V_{REF}	$V_{IN} = 12\text{ V}$ 、 $I_{OUT} = 0.5\text{ A}$	0.78	0.80	0.82	V
出力電圧温度係数	$\Delta V_{OUT}/\Delta T$	$V_{IN} = 12\text{ V}$ 、 $I_{OUT} = 0.5\text{ A}$ 、 $-40\text{ °C} \sim 85\text{ °C}$	—	± 0.05	—	mV/°C
動作周波数	f_O	$V_{IN} = 12\text{ V}$ 、 $V_{OUT} = 5.0\text{ V}$ 、 $I_{OUT} = 0.5\text{ A}$	-30%	500	30%	kHz
ラインレギュレーション*	V_{LINE}	$V_{IN} = 8\text{ V} \sim 31\text{ V}$ 、 $V_{OUT} = 5.0\text{ V}$ 、 $I_{OUT} = 0.5\text{ A}$	—	50	—	mV
ロードレギュレーション*	V_{LOAD}	$V_{IN} = 12\text{ V}$ 、 $V_{OUT} = 5.0\text{ V}$ 、 $I_{OUT} = 0.1\text{ A} \sim 1.0\text{ A}$	—	50	—	mV
過電流保護開始出力電流	I_S	$V_{IN} = 12\text{ V}$ 、 $V_{OUT} = 5.0\text{ V}$	1.1	1.5	2.6	A
動作時回路電流	I_{IN}	$V_{IN} = 12\text{ V}$ 、 $V_{EN} = 0\text{ V}$ 、 $I_{OUT} = 0\text{ mA}$	—	400	—	μA
静止時回路電流	$I_{IN(OFF)}$	$V_{IN} = 12\text{ V}$ 、 $V_{EN} = \text{open}$	—	25	—	μA
UVLO しきい電圧	V_{UVLO}	V_{IN} 上昇	5	6	7	V
UVLO_ヒステリシス	V_{UVLO_HYS}	UVLO オン \sim UVLO オフ	—	0.55	—	V
SS 端子コンデンサ充電電流	I_{SS}	$V_{SS} = 0\text{ V}$ 、 $V_{IN} = 12\text{ V}$	-8.5	-5.0	-2.5	μA
EN 端子流入電流	I_{EN}	$V_{EN} = 5\text{ V}$ 、 $V_{IN} = 12\text{ V}$	—	10	30	μA
EN 端子オフしきい電圧	V_{EN}	$V_{IN} = 12\text{ V}$	0.7	1.4	2.1	V
EN 端子ヒステリシス電圧	V_{EN_HYS}	$V_{IN} = 12\text{ V}$	—	0.15	—	V
最大オンデューティ*	D_{MAX}	$V_{IN} = 12\text{ V}$	—	85	—	%
最小オン時間*	$t_{ON(MIN)}$	$V_{IN} = 12\text{ V}$	—	200	—	ns
過熱保護動作温度*	T_{SD}	$V_{IN} = 12\text{ V}$	151	165	—	°C
過熱保護復帰ヒステリシス*	T_{SD_HYS}	$V_{IN} = 12\text{ V}$	—	15	—	°C
ハイサイドパワーMOSFET オン抵抗*	R_{ONH}	$V_{IN} = 12\text{ V}$	—	250	—	m Ω
ローサイドパワーMOSFET オン抵抗*	R_{ONL}	$V_{IN} = 12\text{ V}$	—	200	—	m Ω
エラーアンプ電圧ゲイン*	AEA		—	800	—	V/V
エラーアンプトランスコンダ クタンス*	GEA		—	800	—	$\mu\text{A/V}$
カレントセンスアンプイン ピーダンス*	GCS		—	1.5	—	A/V

* 設計保証

4. ブロックダイアグラム



5. 各端子機能



端子番号	端子名	機能
1	SS	ソフトスタート時間設定端子 SS-GND 端子間にソフトスタート時間設定用コンデンサを接続
2	BS	ハイサイド MOSFET のドライブ回路の電源端子 SW-BS 端子間にコンデンサを接続
3	SW	出力端子 SW 端子に出力用 LC フィルタを接続
4	GND	グラウンド端子
5	IN	IC の電源入力端子
6	EN	イネーブル信号入力端子 EN 端子入力が“L”の場合、レギュレータを有効にし、“H” (またはオープン) の場合無効にします。
7	FB	基準電圧と出力電圧を比較するフィードバック端子、フィードバックのしきい電圧は 0.80 V です。出力電圧を R_{FB1} と R_{FB2} で抵抗分圧し、 R_{FB2} の両端電圧を FB 端子に入力します。
8	COMP	外部位相補償端子

6. 応用回路例

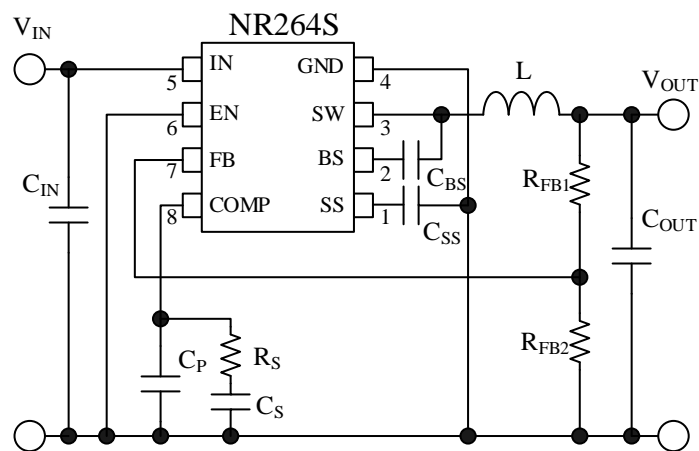


図 6-1 応用回路例

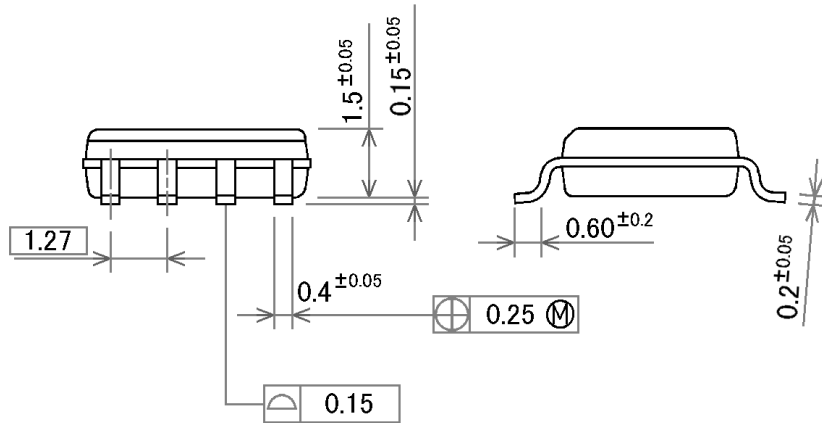
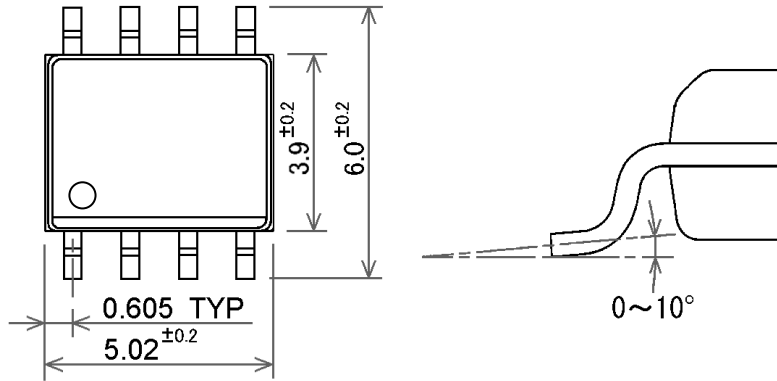
表 6-1 参考定数 ($V_{IN}=12\text{ V}$ 、 $V_{OUT}=5\text{ V}$)

記号	参考定数
C_{IN}	10 μF 、50 V
C_{OUT}	22 μF 、25 V
C_{BS}	0.1 μF
C_{SS}	0.1 μF
C_S	1400 pF
C_P	Open
L	6.8 μH^*
R_S	18 k Ω
R_{FB1}	84 k Ω
R_{FB2}	16 k Ω

* 制御デューティを 0.5 未満に設定した場合のインダクタの最小値です。 ΔI_L を小さくすると、必要なインダクタンスは大きくなります。

7. 外形図

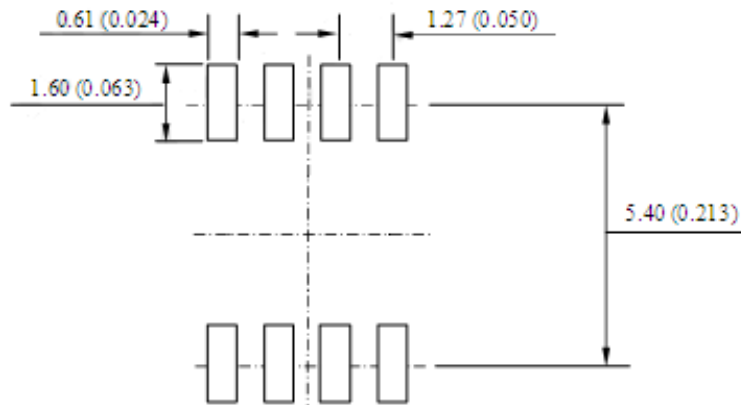
● SOP8 パッケージ



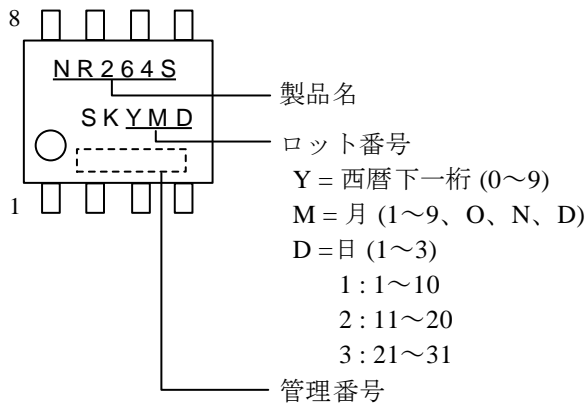
備考：

- 単位：mm
- 端子部 Pb フリー（RoHS 対応）

● SOP8 ランドパターン例



8. 捺印仕様



9. 動作説明

特記のない場合の特性数値は Typ. 値を表記します。電流値の極性は、IC を基準として流入（シンク）を“+”、流出（ソース）を“-”と規定します。

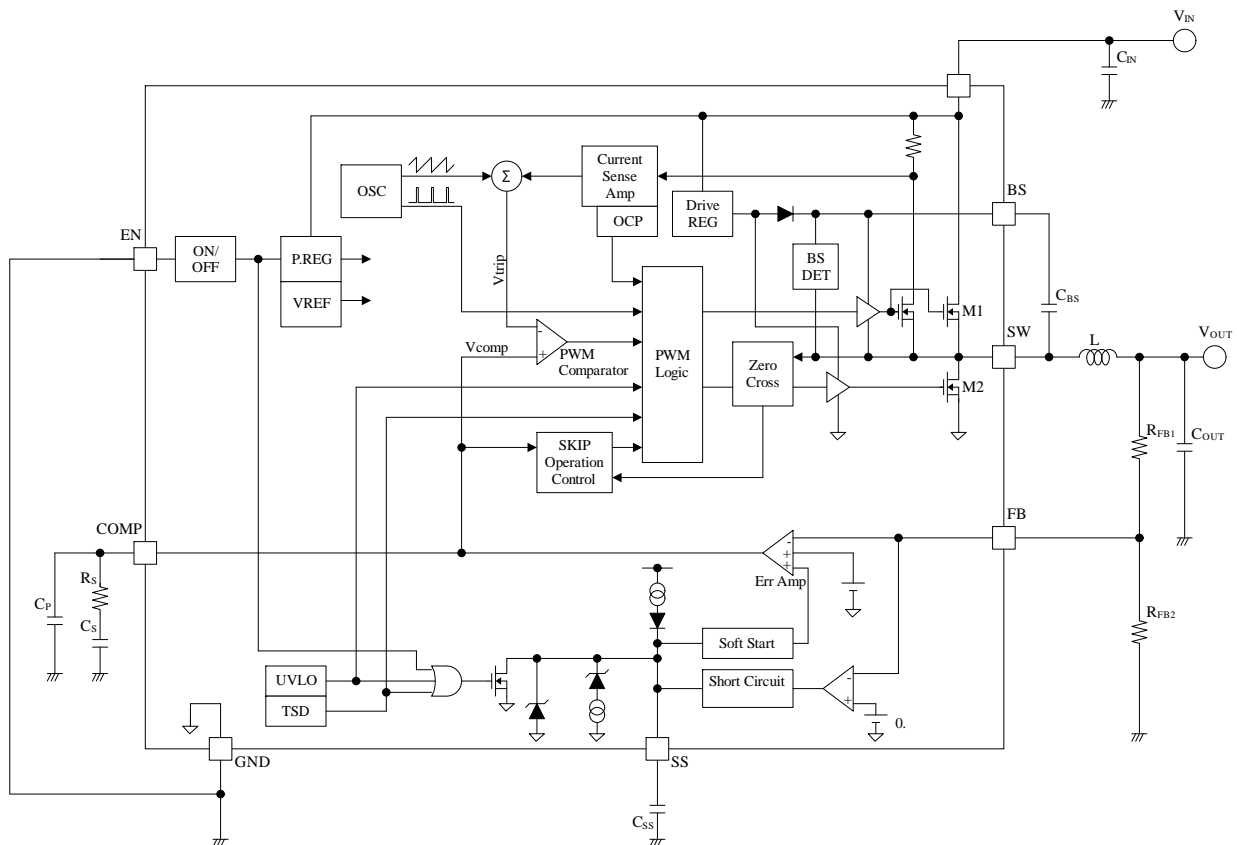


図 9-1 電流モード PWM 制御スイッチングレギュレータ基本構成

9.1 PWM 出力制御

NR264S の PWM 制御回路は、電流検出アンプ、エラーアンプ、PWM コンパレータ、およびスロープ重畳回路で構成されています。PWM コンパレータで V_{TRIP} と V_{COMP} を比較して、オンデューティを制御します。 V_{TRIP} は電流検出アンプで検出したドレイン電流フィードバック信号、 V_{COMP} はエラーアンプで生成した出力電圧と基準電圧との誤差増幅信号です。

スロープ重畳回路は、サブハーモニック発振(オンデューティ 50%以上で発生)を防止するための回路です。フィードバック信号 V_{TRIP} に対して、スロープ信号を電流重畳します。

図 9-1 の C_{BS} は、ブースト用コンデンサで、IC 内部のハイサイドの回路とハイサイドスイッチ M1 を駆動するための電源です。ハイサイド MOSFET (M1) とローサイド MOSFET (M2) で、出力にパワーを供給します。

EN 端子電圧がしきい電圧以下の状態で、IN 端子電圧が UVLO しきい電圧 $V_{UVLO} = 6\text{ V}$ 以上になると、SS 端子の電圧が上昇します。SS 端子電圧が 0.6 V に達するまでの間に M2 がオンし、 C_{BS} を充電します。その後、SS 端子電圧が 0.6 V 以上になると、IC はスイッチング動作を開始します。M1 と M2 は、交互にオン/オフを繰り返します。M1 がオンのタイミングで、インダクタ L の電流が増加し、電流検出アンプの出力も上昇します。PWM コンパレータにおいて、 V_{TRIP} が V_{COMP} を超えると、IC は M1 をオフ、M2 をオンします。このとき、インダクタの回生電流は、GND 端子から M2 を介して流れます。その後、発振器 OSC からのセット信号を受けて、再び M1 がオンします。

9.2 イネーブル機能

IN 端子電圧が、UVLO しきい電圧 $V_{UVLO} = 6\text{ V}$ 以上、かつ EN 端子電圧がオフしきい電圧 $V_{EN} = 1.4\text{ V}$ 以下になるとレギュレータが有効になり、スイッチング動作を開始します。

EN 端子電圧が $V_{EN} + V_{EN,HYS}$ 以上になると、IN 端子電圧が V_{UVLO} 以上でも、レギュレータを無効にし、スイッチング動作を停止します。

9.3 ソフトスタート機能

図 9-2、図 9-3 にイネーブル機能を使用しない場合と使用した場合のソフトスタート動作波形を示します。SS 端子と GND 端子間に接続したコンデンサ C_{SS} で、ソフトスタート期間を設定できます。出力電圧 V_{OUT} は、SS 端子電圧に応じて上昇します。 C_{SS} は、SS 端子から供給される定電流 $I_{SS} = -5.0\text{ }\mu\text{A}$

で充電されます。これにより、SS 端子電圧 V_{SS} は、直線的に上昇します。ソフトスタート期間中は、PWM 信号のオフ期間を制御して、出力の立ち上がり期間を制御しています。IC が有効になってから、出力電圧が立ち上がり始めるまでの遅れ時間を t_{DELAY} とします。 $V_{SS} = 0.6\text{ V} \sim 1.4\text{ V}$ の範囲が、出力電圧のソフトスタート期間 t_{SS} です。

t_{DELAY} と t_{SS} は、以下の式で概略計算できます。

$$t_{DELAY} = \frac{0.6 \times C_{SS}}{|I_{SS}|} \quad (1)$$

$$t_{SS} = \frac{0.8 \times C_{SS}}{|I_{SS}|} \quad (2)$$

ここで、
 I_{SS} : SS 端子コンデンサ充電電流 ($-5.0\text{ }\mu\text{A}$)

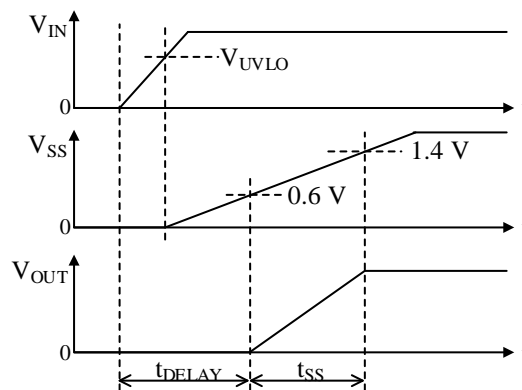


図 9-2 ソフトスタート動作波形
(イネーブル機能を使用しない場合)

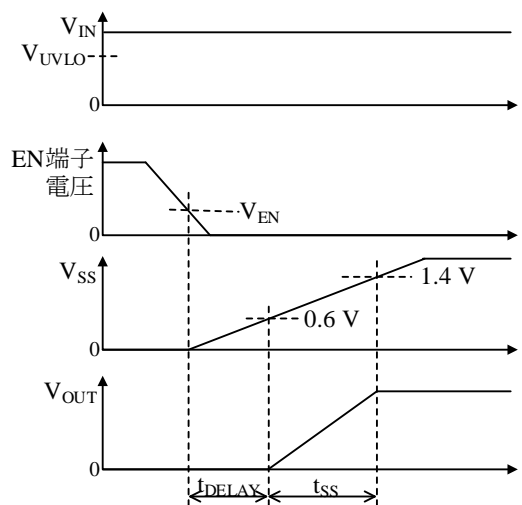


図 9-3 ソフトスタート動作波形
(イネーブル機能を使用する場合)

ソフトスタート時間は、必ず実際の動作で出力の立ち上がり波形を確認して、調整してください。 t_{SS} が短すぎると、定電圧制御が追従する前にソフトスタート期間が終了し、出力電圧が過度にオーバーシュートする可能性があります（図 9-4 参照）。 t_{SS} を長くすると、オーバーシュートしにくくなりますが、起動時間も長くなります。

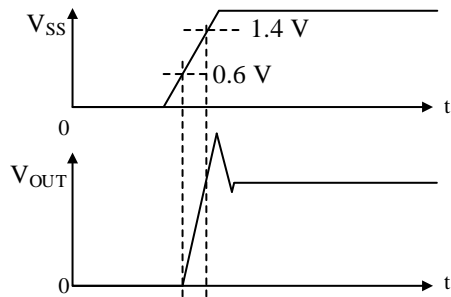


図 9-4 ソフトスタート動作波形
(ソフトスタート時間が短すぎる場合)

SS 端子電圧が高い状態で IC を再起動させた場合（入力電圧の変動、EN 端子信号の高速切り換えなど）は、IC 内部の強制放電回路が動作します。強制放電回路により、SS 端子電圧を 0.6 V まで低下させ、その後ソフトスタート動作を開始します（図 9-5 参照）。放電時の IC 内部のインピーダンスは約 600 Ω です。

SS 端子電圧 V_{SS} が高い状態で再起動する場合、EN 端子にオン信号が入ってから、出力電圧が一定になるまでに必要な時間は $t_{DIS} + t_{SS}$ です。連続的なオン/オフ操作をするアプリケーションの場合は、この強制放電期間も考慮する必要があります。

定常時、 V_{SS} (C_{SS} の両端電圧) は内部のレギュレータ電圧 (1.8 V) まで上昇します。1.8 V から C_{SS} を放電する場合、任意の時間 t における V_{SS} は、式(3)で計算できます。また、 V_{SS} が 0.6 V まで低下する時間 t_{DIS} は、式(4)で計算できます。

$$V_{SS} = 1.8 \text{ V} \times \text{EXP} \left(\frac{-t \times 600}{C_{SS}} \right) \quad (3)$$

$$t_{DIS} = -C_{SS} \times 600 \times \ln \left(\frac{0.6}{1.8} \right) \quad (4)$$

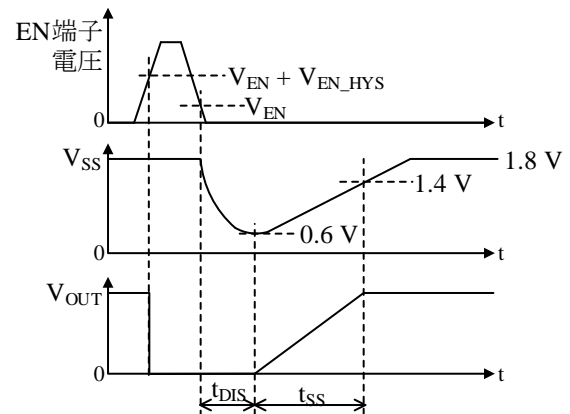


図 9-5 C_{SS} 強制放電とソフトスタート動作波形
(イネーブル機能を使用する場合)

9.4 過熱保護機能

IC のジャンクション温度が、過熱保護動作温度 $T_{SD} = 165 \text{ }^\circ\text{C}$ 以上になると、過熱保護機能 (TSD : Thermal Shutdown) が動作し、IC は発振を停止します。TSD には、温度ヒステリシス $T_{SD_HYS} = 15 \text{ }^\circ\text{C}$ があります。IC の温度が $T_{SD} - T_{SD_HYS}$ 以下になると、通常の動作に自動的に復帰します。

TSD の目的は、SW 端子の瞬間的な短絡などで、IC の損失が増大したときに、IC を保護することです。TSD は、長時間の短絡状態や、発熱が継続する状態において、IC の信頼性を含めた動作を保証するものではありません。

9.5 過電流保護機能、出力短絡保護機能

本 IC は、図 9-6 のような垂下特性の過電流保護 (OCP : Overcurrent Protection) 回路を内蔵しています。

OCP 回路は、IC 内部のパワー MOSFET に流れるピーク電流をパルス・バイ・パルスで検出しています。このピーク電流が、OCP のしきい値を超えると、強制的にパワー MOSFET のオン期間を終了します。これにより、出力電圧を低下させ、出力電流を制限します。

図 9-7 のように、出力電圧の低下に伴い FB 端子電圧が 0.8 V から低下し、0.56 V (70%) になると、スイッチング周波数低減モードに切り替わります。これにより、垂下特性を向上させます。

さらに、FB 端子電圧が 0.24 V (30%) まで低下すると、IC は、 $I_{SS} = -5.0 \text{ } \mu\text{A}$ で SS 端子のソフトスタートコンデンサ C_{SS} を充電します。SS 端子電圧 V_{SS} が 2.2 V 以上になると、出力短絡保護機能が動作します。出力短絡保護機能が動作すると、IC は、 C_{SS} を 2.5 μA で放電し、 V_{SS} が 0.23 V に低下するま

で、スイッチング動作を停止します。 V_{SS} が0.23 Vに低下すると、ソフトスタート動作を再開します。

このように、出力短絡保護機能が動作している間は、間欠動作（Hiccup）を繰り返します。この間欠動作により、発熱などの部品ストレスを軽減できます。過電流状態が解除されると、出力電圧は自動的に復帰します。

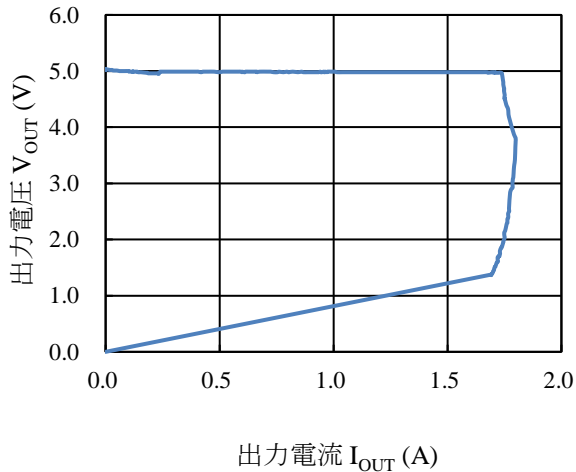


図 9-6 過電流保護特性例 ($V_{IN} = 12 V$)

9.6 パルススキップモード

軽負荷時の効率を向上させるため、本 IC は、パルススキップモードを搭載しています。パルススキップモードは、外部信号などで、強制的に無効にすることはできません。

本 IC は、負荷電流が減少すると、エラーアンプの出力電圧 V_{COMP} (4 項参照) が低下するように制御します。 V_{COMP} は、IC の外部から直接確認できません。 V_{COMP} が低下した状態が、一定期間継続すると、パルススキップモードに切り替わります。パルススキップモードでは、IC 内部のハイサイド MOSFET を流れるドレイン電流のピーク値 I_{LP} が、一定の値に制限されます。この制限値は、入力電圧 V_{IN} と使用インダクタのインダクタンス L で決まります。パルススキップ周波数は、負荷に応じて変化します。負荷電流が増加し、 V_{COMP} が上昇した状態が一定期間継続すると、通常の PWM 動作に戻ります。

このように、軽負荷時は発振周波数を低くし、内部のハイサイド MOSFET とローサイド MOSFET のスイッチング損失を低減しています。

また、パルススキップ周波数が可聴周波数帯域 (20 kHz 以下) まで低下しないように、最低周波数を 28 kHz で制限しています (周波数制限機能)。これにより、軽負荷時の音なりを抑制します。

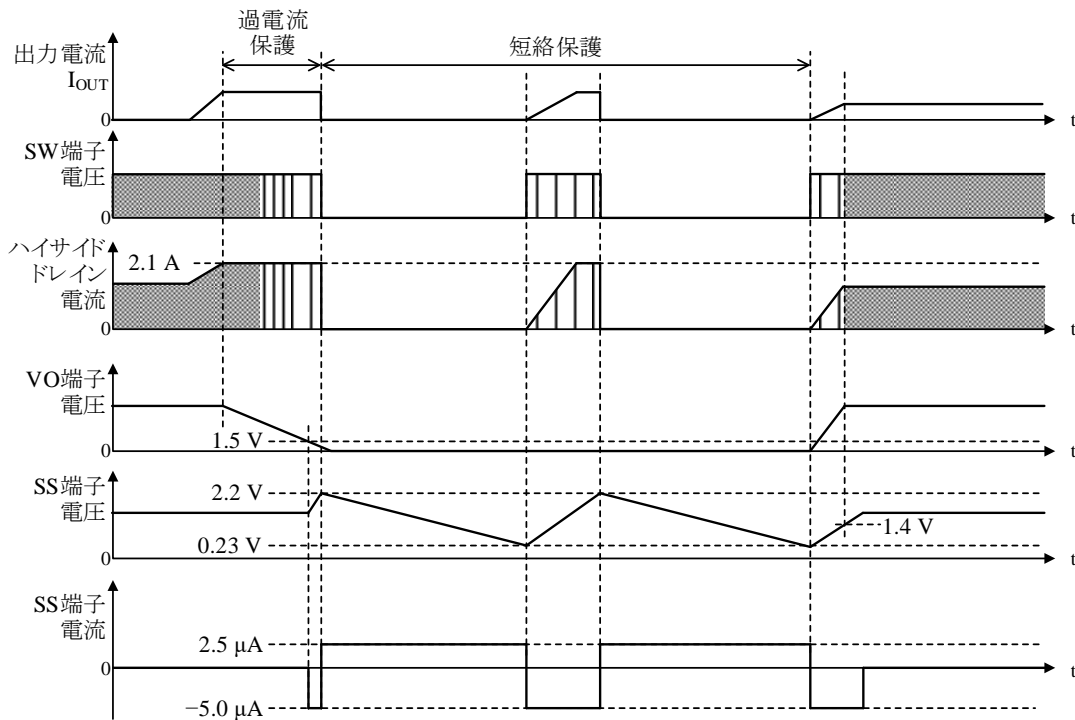


図 9-7 過電流保護、出力短絡保護の動作波形

10. 設計上の注意点

10.1 熱減定格

図 10-1 に 11 項の基板に搭載した場合の、IC の減定格を示します。IC を使用する際は、十分にマージンを確保してください。

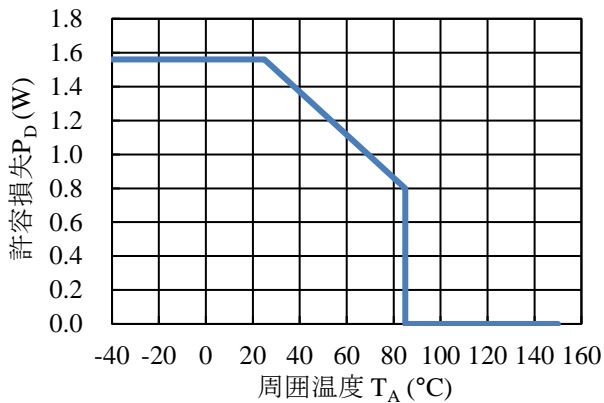


図 10-1 熱減定格曲線

IC の損失は、式(5)で算出できます。効率 η_x は、入力電圧と出力電流で変化するため、電源仕様に応じた値を代入してください (図 12-1 参照)。

$$P_D = V_{OUT} \times I_{OUT} \left(\frac{100}{\eta_x} - 1 \right) \quad (5)$$

ここで、

V_{OUT} : 出力電圧

V_{IN} : 入力電圧

I_{OUT} : 出力電流

η_x : 効率 (%)

10.2 外付け部品

各部品は使用条件に適合したものを使用します。

10.2.1 インダクタ

レギュレータを安定に動作させるためには、インダクタの飽和や、過剰な自己発熱などを回避する必要があります。インダクタを選定する際は、以下の内容に注意が必要です。

● インダクタの種類

必ず、スイッチングレギュレータ用のインダクタから選定してください。ノイズフィルタ用のインダクタなどは、損失が大きいため使用しないでください。また、周辺回路へのノイズの影響を抑制するため、低漏洩磁束タイプのコア（構造）を使用したインダクタを推奨します。ドラム型などの開磁路型のコアは、磁束がインダクタの外側を通過するため、ノイズが回路に大きな影響を与える可能性があります。詳細はインダクタメーカーに相談してください。

● 直流重畳特性

インダクタンスは、直流重畳特性（直流電流が増えるとインダクタンスが減少する特性）があります。実際に流れる電流の最大値において、インダクタンスが設計値から大きく低下していないか、必ず確認してください。使用するインダクタの特性をインダクタメーカーから入手し、飽和点と直流重畳特性を確認してください。

たとえば、最大負荷が $I_{OUT} = 1 \text{ A}$ の場合、飽和点が 0.5 A のコイルは使用できません。また、無負荷ではインダクタンスが $10 \mu\text{H}$ のインダクタが、 1 A では $5 \mu\text{H}$ になるような特性の場合は注意が必要です。

● インダクタの温度

インダクタの自己発熱は、巻線の直流抵抗 DCR に依存します。巻線の線径を細くすると、直流抵抗 DCR が増大し、インダクタの温度が上昇します。また、インダクタの種類によって、一般的に以下のような制限があります。

- 車載グレード品 : $150 \text{ }^\circ\text{C}$
- 高信頼性品 : $125 \text{ }^\circ\text{C}$
- 一般品 : $85 \text{ }^\circ\text{C} \sim 100 \text{ }^\circ\text{C}$

インダクタの温度は放熱条件で変わります。インダクタの温度は、自己発熱と周囲の部品発熱による温度上昇を含め、必ず確認してください。使用条件、実装条件、放熱条件などを考慮して最適なインダクタを選定してください。

● $\Delta I_L / I_{OUT}$ の設定

インダクタのリプル電流 ΔI_L と出力電流 I_{OUT} の比 ($\Delta I_L / I_{OUT}$) が大きいと、インダクタンスは小さくなりますが、出力リップル電圧は増大します。 $\Delta I_L / I_{OUT}$ を小さくすると、インダクタンスは増加し、インダクタの外形も大きくなります。

● インダクタンスの算出

本 IC は、ピーク検出電流制御方式を採用しています。この方式で原理的に発生する問題として、サブハーモニック発振があります。サブハーモニック発振とは、インダクタ電流がスイッチング周波数の整数倍の周期で変動する現象です。サブハーモニック発振は、デューティが 0.5 以上になると発生する可能性があります。サブハーモニック発振を回避するため、IC 内部でスロープ補正をしています。しかし、スロープ補償量が IC 内部で固定されているため、急激な電流変化に対しては補正しきれません。そこで、インダクタ電流の傾きが小さくなるようなインダクタンスに設定する必要があります。式(6)、式(7)に示すように、インダクタのリプル電流 ΔI_L とインダクタのピーク電流 I_{LP} は、インダクタンスが小さいほど増加し、電流波形の傾きも大きくなります。

$$\Delta I_L = \frac{(V_{IN} - V_{OUT}) \times V_{OUT}}{L \times V_{IN} \times f_{SW}} \quad (6)$$

$$I_{LP} = \frac{\Delta I_L}{2} + I_{OUT} \quad (7)$$

ここで、

V_{IN} : 入力電圧

V_{OUT} : 出力電圧

L : インダクタンス

f_{SW} : スwitchング周波数

I_{OUT} : 出力電流 (A)

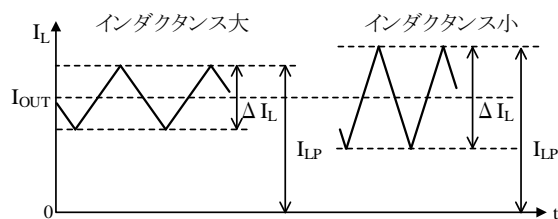


図 10-2 インダクタンスとリップルの関係

インダクタンスは、サブハーモニック発振を回避するため、デューティに応じて設定する必要があります。デューティは、出力電圧 V_{OUT} と入力電圧 V_{IN} の比 (V_{OUT}/V_{IN}) で決まります。出力電圧が 5 V の場合、入力電圧が 10 V 以下になると、デューティは 0.5 以上になります。また、過負荷時や負荷短絡時でもインダクタが磁気飽和しないように、インダクタンスを設定する必要があります。

● デューティ 0.5 以上の場合

インダクタンス L は、式(8)の範囲で設定してください。

$$L \geq 4 \times V_{OUT} \text{ (}\mu\text{H)} \quad (8)$$

ここで、

V_{OUT} : 出力電圧

● デューティ 0.5 未満の場合

インダクタンス L は、式(9)の範囲で設定してください。

$$L \geq \frac{(V_{IN} - V_{OUT}) \times V_{OUT}}{\Delta I_L \times V_{IN} \times f_{SW}} \quad (9)$$

ここで、

L : インダクタンス

V_{IN} : 入力電圧

V_{OUT} : 出力電圧

ΔI_L : リプル電流

f_{SW} : スwitchング周波数

10.2.2 入出力コンデンサ

入力コンデンサ C_{IN} には、入力インピーダンスを下げ、安定に IC を動作させるため、セラミックコンデンサを使用してください。また、 C_{IN} は、IC の近くに配置し、IN 端子と GND 端子に最短で接続する必要があります。本 IC の前段に整流回路用の平滑コンデンサがある場合でも、IC の直近に C_{IN} を接続する必要があります。

出力コンデンサ C_{OUT} は、スイッチング出力の平滑コンデンサで、 C_{OUT} とインダクタで、LC ローパスフィルタを構成します。 C_{OUT} には、インダクタのリプル電流 ΔI_L が流れます。 C_{OUT} には、低 ESR のセラミックコンデンサを使用できます。従来は、LC フィルタの 2 次遅れを補正するため、出力には容量の大きな電解コンデンサが必要でしたが、本 IC の電流制御方式では出力にセラミックコンデンサを使用できるため、実装面積を大幅に削減できます。

セラミックコンデンサには等価直列抵抗 ESR があります。出力リップル電圧 $V_{ORIPPLE}$ は、次式で算出できます。

$$V_{ORIPPLE} = ESR(C_{OUT}) \times \Delta I_L \quad (10)$$

ここで、

$ESR(C_{OUT})$: 出力コンデンサの等価直列抵抗

ΔI_L : インダクタのリプル電流

出力リップル電圧を $V_{ORIPPLE}$ 未満に設定する場合、セラミックコンデンサに必要な ESR 条件は以下のとおりです。

$$ESR(C_{OUT}) < \frac{V_{ORIPPLE}}{\Delta I_L} \quad (11)$$

式(11)より、 ΔI_L が大きい場合は、相対的に出力リップル電圧 $V_{ORIPPLE}$ が大きくなります。そのため、ESR を下げるために、セラミックコンデンサを並列に接続するなどの対策が必要です。

入力コンデンサ C_{IN} 、出力コンデンサ C_{OUT} は、使用条件、実装条件、放熱条件などに対し、十分にマージンを考慮し、最適なコンデンサを選定してください。特に、以下の内容は注意が必要です（詳細は、コンデンサメーカーに確認してください）。

- 使用する電圧範囲に対し、コンデンサの耐圧が十分であること
- 使用する電圧範囲で、容量の変化が少ないこと
- 使用する温度範囲で、容量の変化が少ないこと
- 自己発熱と周囲温度を含むコンデンサ温度が、コンデンサの最高使用温度範囲内であること
（セラミックコンデンサにリップル電流が流れると、ESR の影響でコンデンサの温度が上昇します）
- 使用する周波数、温度条件において、コンデンサのインピーダンスが十分低いこと

10.3 出力電圧設定抵抗 (R_{FB1} 、 R_{FB2})

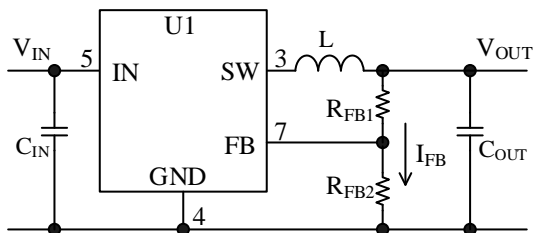


図 10-3 FB 端子周辺回路

FB 端子には、 R_{FB1} と R_{FB2} を接続します（図 10-3 参照）。 R_{FB1} と R_{FB2} は、FB 端子のできるだけ近くに配置し、FB 端子に最短で接続してください。FB 端子の配線がスイッチングノイズの影響を受けると、IC が誤動作する可能性があります。 R_{FB1} と出力電位のパターンが離れている場合は、 R_{FB1} の出力電位側のパターンを長くしてください。

R_{FB1} と R_{FB2} は、次式で算出します。

$$R_{FB2} = \frac{V_{REF}}{I_{FB}} \quad (12)$$

$$R_{FB1} = \frac{V_{OUT} - V_{REF}}{I_{FB}} \quad (13)$$

ここで、

V_{REF} : 基準電圧 (0.80 V)

V_{OUT} : 出力電圧

I_{FB} : 50 μ A 程度に設定 (I_{FB} は回路効率に影響するため注意が必要です)

例として、 $V_{OUT} = 5$ V に設定する場合、 R_{FB1} と R_{FB2} の設定値は、以下のようになります。

$$R_{FB2} = \frac{V_{REF}}{I_{FB}} = \frac{0.8 \text{ V}}{50 \mu\text{A}} = 16 \text{ k}\Omega$$

$$R_{FB1} = \frac{V_{OUT} - V_{REF}}{I_{FB}} = \frac{5 \text{ V} - 0.8 \text{ V}}{50 \mu\text{A}} = 84 \text{ k}\Omega$$

出力電圧 V_{OUT} と R_{FB1} と R_{FB2} の関係は、次式のとおりです。

$$V_{OUT} = V_{REF} \left(1 + \frac{R_{FB1}}{R_{FB2}} \right) \quad (14)$$

10.4 位相補償 (COMP 端子)

本 IC を安定に動作させるためには、位相余裕度を十分に確保する必要があります。位相余裕度は、COMP 端子に接続する抵抗とコンデンサ (R_S 、 C_S 、 C_P) で設定します。

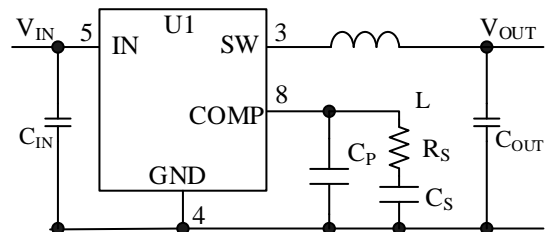


図 10-4 COMP 端子周辺回路

1) 目標クロスオーバー周波数 f_c の設定

ゲインが 0 dB (1 倍) になるときの周波数が、クロスオーバー周波数 f_c です。 f_c が高いほど、負荷変動に対する応答が速くなりますが、リップルやノイズなどの影響で動作が不安定になる傾向があります。本 IC を安定に動作させるため、 f_c は、スイッチング周波数 500 kHz の 1/20 以下 (25 kHz 以下) に設定してください。動作が不安定な場合は、 f_c の設定値を下げてください。

2) R_S の設定

R_S は、位相補償用の抵抗で、式(15)で算出できます。

$$R_S = \frac{2\pi \times C_{OUT} \times f_c \times V_{OUT}}{GEA \times GCS \times V_{REF}} \quad (15)$$

ここで、

C_{OUT} : 出力コンデンサの容量

f_c : 上記 1) で設定したクロスオーバー周波数

V_{OUT} : 出力電圧

GEA : エラーアンプのトランスコンダクタンス (800 $\mu\text{A/V}$)

GCS : カレントセンスアンプのインピーダンス (1.5 A/V)

V_{REF} : 基準電圧 (0.80 V)

$f_c = 25 \text{ kHz}$ 、 $C_{OUT} = 22 \mu\text{F}$ 、 $V_{OUT} = 5 \text{ V}$ の場合、 R_S は以下ようになります。

$$R_S = \frac{2\pi \times 22 \mu\text{F} \times 25 \text{ kHz} \times 5 \text{ V}}{800 \mu\text{A/V} \times 1.5 \text{ A/V} \times 0.80 \text{ V}} \approx 18 \text{ k}\Omega$$

3) C_S の設定

C_S は、位相補償用コンデンサです。 C_S でポール周波数 f_{P1} とゼロ周波数 f_{Z1} が決まります。十分な位相余裕度 (60deg. 以上) を確保するために、 f_{Z1} を f_c の 1/4 程度に設定します。

C_S は、式(16)で算出できます。

$$C_S = \frac{4}{2\pi \times R_S \times f_c} \quad (16)$$

$f_c = 25 \text{ kHz}$ 、 $R_S = 18 \text{ k}\Omega$ の場合、 C_S は以下ようになります。

$$C_S = \frac{4}{2\pi \times 18 \text{ k}\Omega \times 25 \text{ kHz}} \approx 1400 \text{ pF}$$

4) C_P の設定

C_P は、出力コンデンサにセラミックコンデンサ

を用いる場合は不要です。出力コンデンサにアルミ電解コンデンサを用いる場合は、ESR で発生するゼロ周波数 f_{Z2} の影響を考慮する必要があります。 f_{Z2} は、ピーク電流制御方式を採用する制御では、 f_c を必要以上に高くするため、IC の誤動作の原因になります。そこで、 C_P を追加して新たなポール周波数 f_{P3} を構成し、 f_{Z2} の影響を相殺する必要があります。

電解コンデンサの ESR が式(17)の範囲の場合は、 C_P を追加してください。

$$ESR > \frac{1}{2\pi \times f_c \times C_{OUT}} \quad (17)$$

C_P は、式(18)で算出できます。

$$C_P = \frac{C_{OUT} \times ESR}{R_S} \quad (18)$$

10.5 スパイクノイズ対策

オシロスコープでスパイクノイズを測定する際、プローブのグラウンドのリード線がアンテナ的作用をして、スパイクノイズが実際より大きく測定される場合があります。これを抑制するため、プローブのグラウンドのリード線は極力短くし、出力コンデンサの根元に接続します。

以下に、スパイクノイズの低減対策例を示します。いずれも回路効率が低下するため、注意してください。

● R_{BS} の追加

図 10-5 のように、抵抗 R_{BS} を BS 端子と SW 端子間に追加すると、内部パワー MOSFET のターンオン時のスイッチングスピードが遅くなります。これにより、スパイクノイズを低減できます。 R_{BS} は 10 Ω 以下に設定してください。 R_{BS} の値を大きくしすぎると、起動不良や、パワー MOSFET のアンダードライブによる破損が発生する可能性があります。

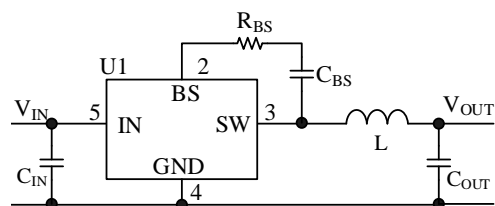


図 10-5 直列抵抗の挿入

● スナバ回路の追加

図 10-6 のように、SW 端子と GND 端子間に抵抗とコンデンサ (RC スナバ) を追加すると、出力波形とダイオードのリカバリー時間を補正し、スパイクノイズを低減できます。

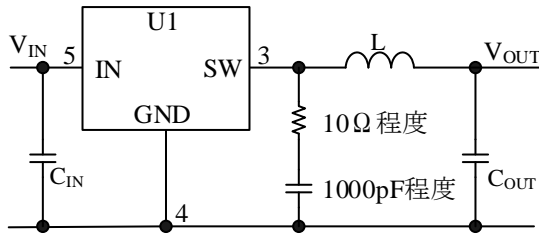


図 10-6 スナバ回路の追加

10.6 出力電圧が入力電圧より高くなるアプリケーションの場合

バッテリーの充電など、IN 端子電圧より SW 端子電圧が高くなるアプリケーションの場合は、IN 端子と SW 端子間に逆バイアス保護用のダイオードを追加してください。

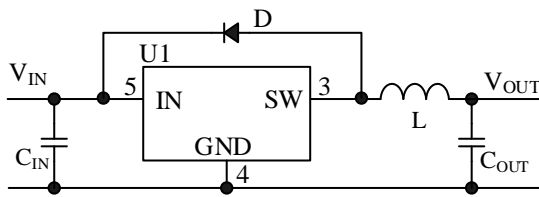


図 10-7 逆バイアス保護用ダイオードの追加

10.7 パターン設計

図 10-8 の太線の経路には大電流が流れるため、できるだけ太く短いパターンにします。また、制御グラウンドと、大電流が流れるグラウンドは、分離して配線し、出力コンデンサの根元に 1 点で接続してください。

C_IN と C_OUT にはリップル電流が流れるため、コンデンサの電極までの配線のインピーダンスを極力小さくする必要があります。そのため、入力コンデンサ C_IN と、出力コンデンサ C_OUT は、できるだけ IC の近くに配置し、太い配線で IC の各接続端子にできるだけ短く接続してください (図 10-9 参照)。

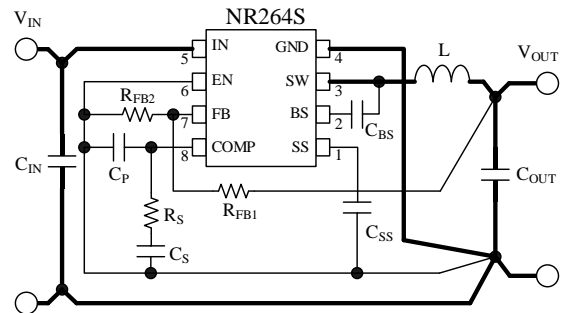
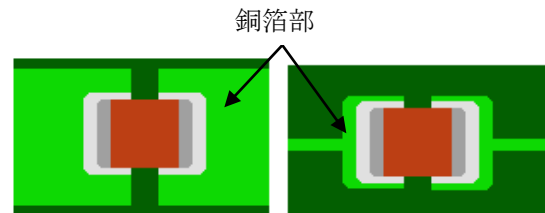


図 10-8 大電流パターン



(A) 低インピーダンス (B) 高インピーダンス

図 10-9 C_IN、C_OUT の周辺レイアウト例

10.8 ビーズコアの使用について

IC を安全に動作させるために、配線の寄生インダクタンスは極力小さくする必要があります。図 10-10 の斜線部にフェライトビーズなどのビーズコアを挿入すると、配線の寄生インダクタンスに、ビーズコアのインダクタンスを加算することになります。これらの配線上のインダクタンスにより発生したサージ電圧は、IC の誤動作や、最悪の場合 IC の破壊を引き起こす可能性があります。したがって、図 10-10 の斜線部の配線にはビーズコアを挿入しないでください。

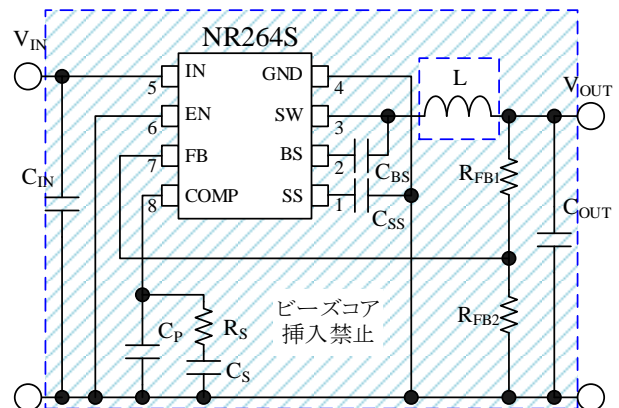
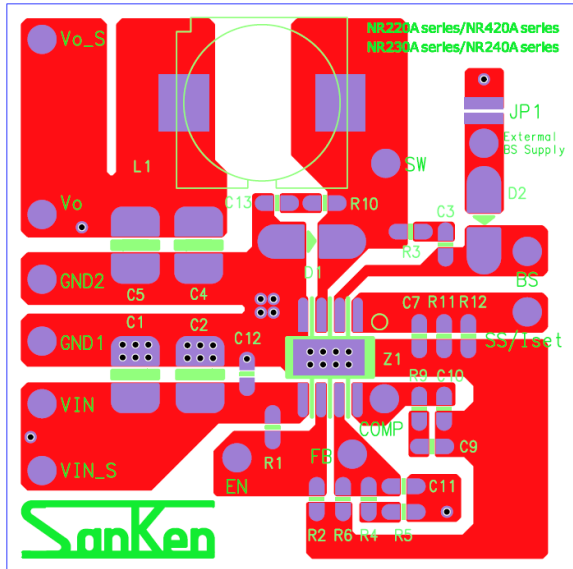


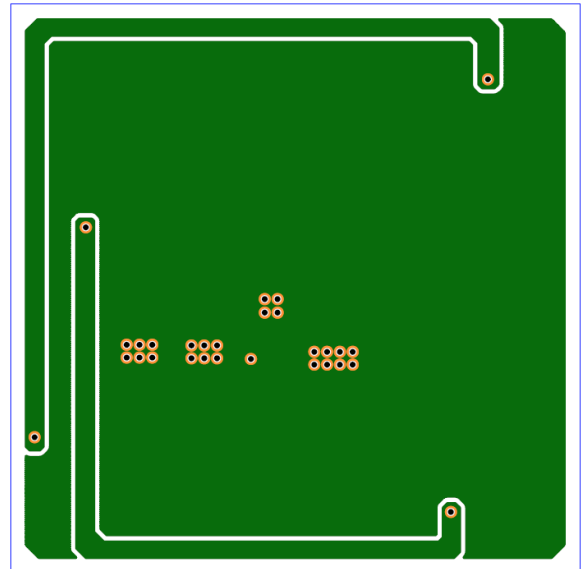
図 10-10 ビーズコア挿入禁止範囲

11. パターンレイアウト例

外形：40 mm × 40 mm
 基材厚：1.6 mm
 銅箔厚：35 μm



(A) 表面



(B) 裏面

図 11-1 パターンレイアウト例

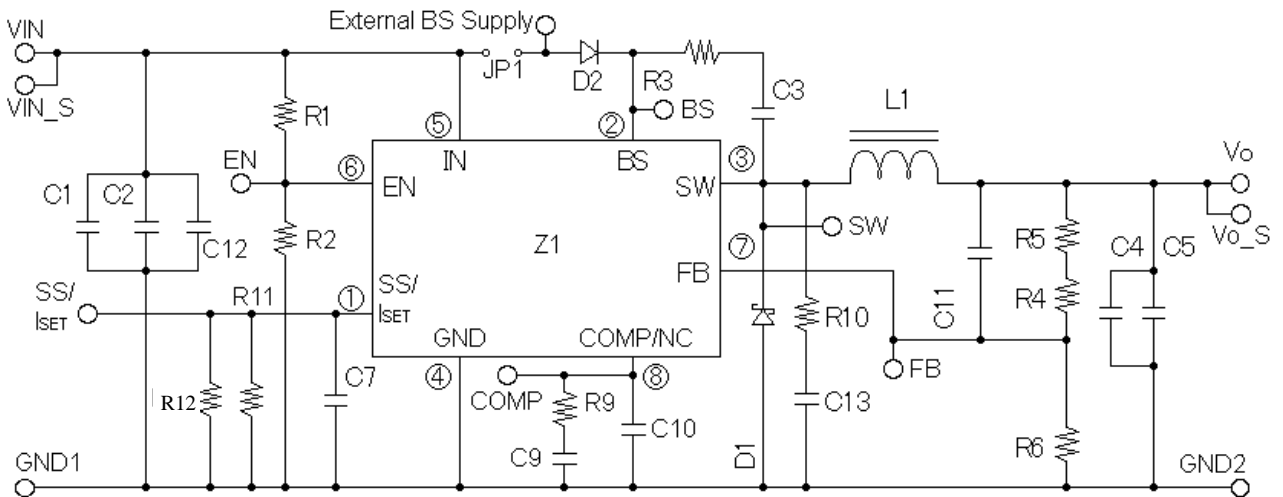


図 11-2 パターンレイアウト例回路図

表 11-1 参考定数 ($V_{IN}=12\text{ V}$ 、 $V_{OUT}=5\text{ V}$)

記号	部品	参考定数	備考
C1	Chip ceramic capacitor, 3225	10 μF , 50 V	
C2	Chip ceramic capacitor, 3225	Open	
C3	Chip ceramic capacitor, 3225	0.1 μF	
C4	Chip ceramic capacitor, 3225	22 μF , 25 V	
C5	Chip ceramic capacitor, 3225	22 μF , 25 V	
C7	Chip ceramic capacitor, 3225	0.1 μF	
C9	Chip ceramic capacitor, 3225	1400 pF	
C10*	Chip ceramic capacitor, 3225	Open	位相補償コンデンサ
C11*	Chip ceramic capacitor, 3225	Open	進相コンデンサ
C12*	Chip ceramic capacitor, 3225	Open	バイパスコンデンサ
C13*	Chip ceramic capacitor, 3225	Open	スナバ回路用コンデンサ
D1*	Schottky diode	Open	効率改善用ダイオード
L	Inductor	6.8 μH	
R1	Chip resistor, 1608	Open	本 IC では使用しません
R2*	Chip resistor, 1608	0 Ω	
R3*	Chip resistor, 1608	0 Ω	スパイクノイズ低減用 (10 Ω 以下)
R4	Chip resistor, 1608	84 k Ω	
R5	Chip resistor, 1608	0 Ω	
R6	Chip resistor, 1608	16 k Ω	
R10*	Chip resistor, 1608	Open	スナバ回路用
R11*	Chip resistor, 1608	Open	本 IC では使用しません
R12*	Chip resistor, 1608	Open	本 IC では使用しません
U1	IC	NR264S	

*実際の動作で調整が必要な部品

12. 代表特性例

特記がない場合の条件は、 $T_A = 25\text{ }^\circ\text{C}$ です。

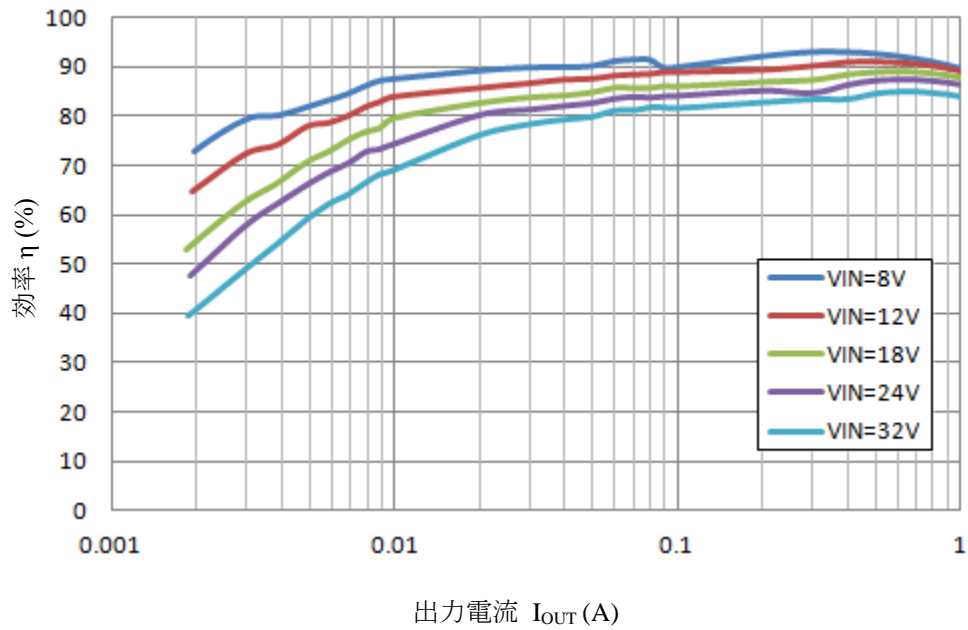


図 12-1 効率 ($V_{OUT} = 5\text{ V}$)

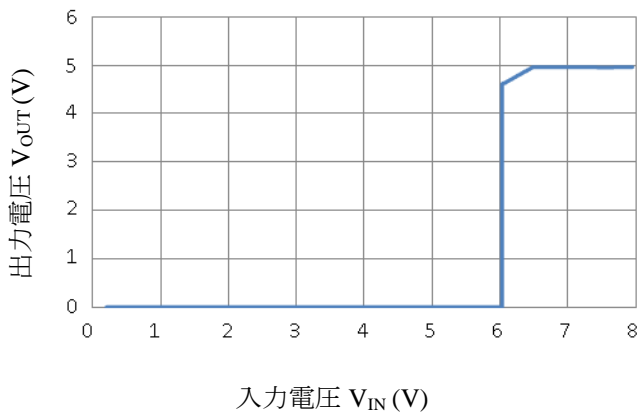


図 12-2 出力電圧立ち上がり ($I_{OUT} = 1\text{ A}$)

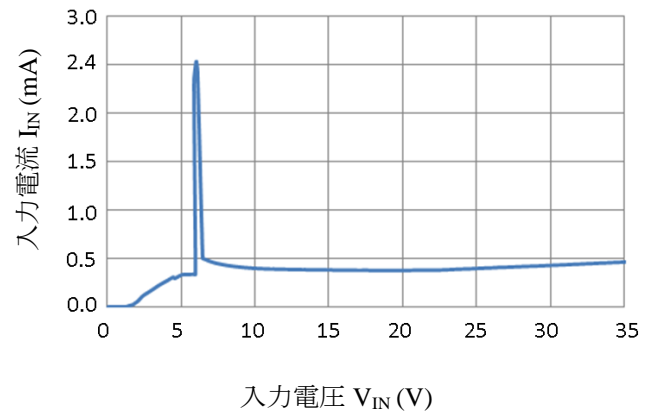


図 12-3 入力電流 I_{IN}

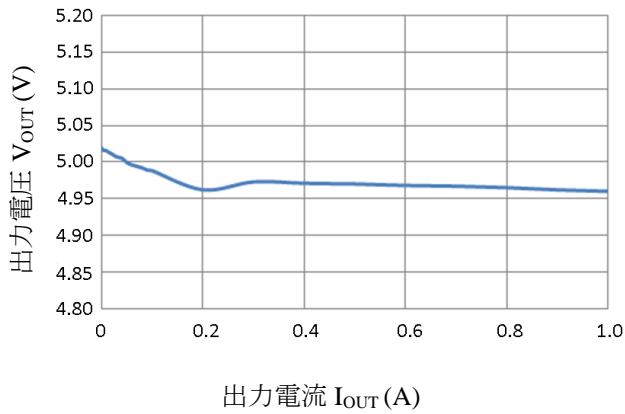


図 12-4 ロードレギュレーション

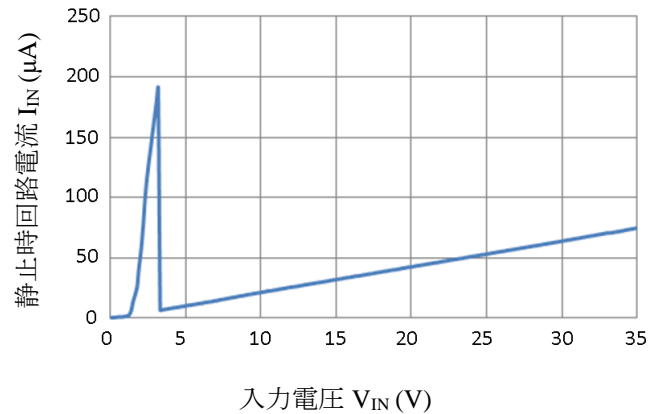


図 12-5 静止時回路電流 $I_{IN(OFF)}$

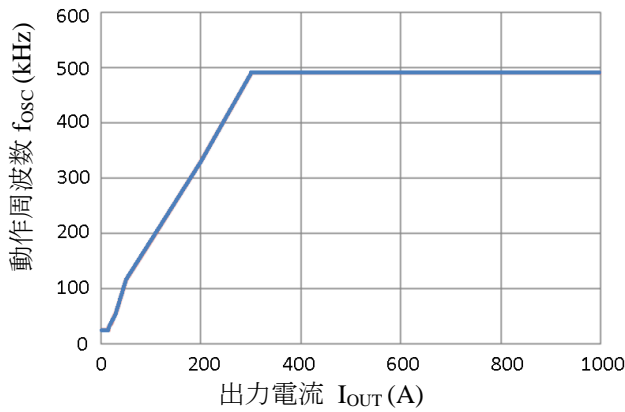


図 12-6 動作周波数 f_{osc}

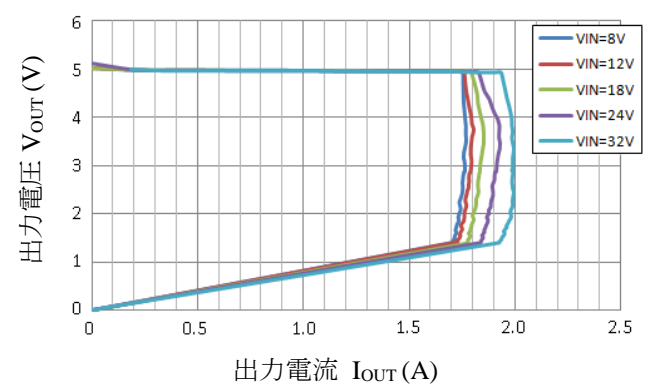


図 12-7 過電流保護特性

注意書き

- 本書に記載している製品（以下、「本製品」という）のデータ、図、表、およびその他の情報（以下、「本情報」という）は、本書発行時点のものであります。本情報は、改良などで予告なく変更することがあります。本製品を使用する際は、本情報が最新であることを弊社販売窓口を確認してください。
- 本製品は、一般電子機器（家電製品、事務機器、通信端末機器、計測機器など）の部品に使用されることを意図しております。本製品を使用する際は、納入仕様書に署名または記名押印のうえ、返却をお願いします。高い信頼性が要求される装置（輸送機器とその制御装置、交通信号制御装置、防災装置、防犯装置、各種安全装置など）に本製品を使用することを検討する際は、必ず事前にその使用の適否について弊社販売窓口へ相談いただき、納入仕様書に署名または記名押印のうえ、返却をお願いします。本製品は、極めて高い信頼性が要求される機器または装置（航空宇宙機器、原子力制御、その故障や誤動作が生命や人体に危害を及ぼす恐れのある医療機器（日本における法令でクラスⅢ以上）など）（以下「特定用途」という）に使用されることは意図されておられません。特定用途に本製品を使用したことでお客様または第三者に生じた損害などに関して、弊社は一切その責任を負いません。
- 本製品を使用するにあたり、本製品に他の製品や部材を組み合わせる際、あるいはこれらの製品に物理的、化学的、その他の何らかの加工や処理を施す際は、使用者の責任においてそのリスクを必ず検討したうえで行ってください。
- 弊社は、品質や信頼性の向上に努めていますが、半導体製品は、ある確率で欠陥や故障が発生することは避けられません。本製品が故障し、その結果として人身事故、火災事故、社会的な損害などが発生しないように、故障発生率やディレーティングなどを考慮したうえで、使用者の責任において、本製品が使用される装置やシステム上で、十分な安全設計および確認を含む予防措置を必ず行ってください。ディレーティングについては、納入仕様書および弊社ホームページを参照してください。
- 本製品は、耐放射線設計をしておりません。
- 本書に記載している回路定数、動作例、回路例、パターンレイアウト例、設計例、推奨例、本書に記載しているすべての情報、およびこれらに基づく評価結果などは、使用上の参考として示したものです。
- 本情報に起因する使用者または第三者のいかなる損害、および使用者または第三者の知的財産権を含む財産権とその他一切の権利の侵害問題について、弊社は一切その責任を負いません。
- 本情報を、文書による弊社の承諾なしに転記や複製をすることを禁じます。
- 本情報について、弊社の所有する知的財産権およびその他の権利の実施、使用または利用を許諾するものではありません。
- 使用者と弊社との間で別途文書による合意がない限り、弊社は、本製品の品質（商品性、および特定目的または特別環境に対する適合性を含む）ならびに本情報（正確性、有用性、および信頼性を含む）について、明示的か黙示的かを問わず、いかなる保証もしておりません。
- 本製品を使用する際は、特定の物質の含有や使用を規制する RoHS 指令など、適用される可能性がある環境関連法令を十分に調査したうえで、当該法令に適合するように使用してください。
- 本製品および本情報を、大量破壊兵器の開発を含む軍事用途やその他軍事利用の目的で使用しないでください。また、本製品および本情報を輸出または非居住者などに提供する際は、「米国輸出管理規則」や「外国為替及び外国貿易法」など、各国で適用される輸出管理法令などを遵守してください。
- 弊社物流網以外における本製品の落下などの輸送中のトラブルについて、弊社は一切その責任を負いません。
- 本書は、正確を期すために慎重に製作したのですが、本書に誤りがないことを保証するものではありません。万一、本情報の誤りや欠落に起因して、使用者に損害が生じた場合においても、弊社は一切その責任を負いません。
- 本製品を使用する際の一般的な使用上の注意は弊社ホームページを、特に注意する内容は納入仕様書を参照してください。
- 本書で使用されている個々の商標、商号に関する権利は、弊社を含むその他の原権利者に帰属します。